

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 11 月 4 日 (04.11.2004)

PCT

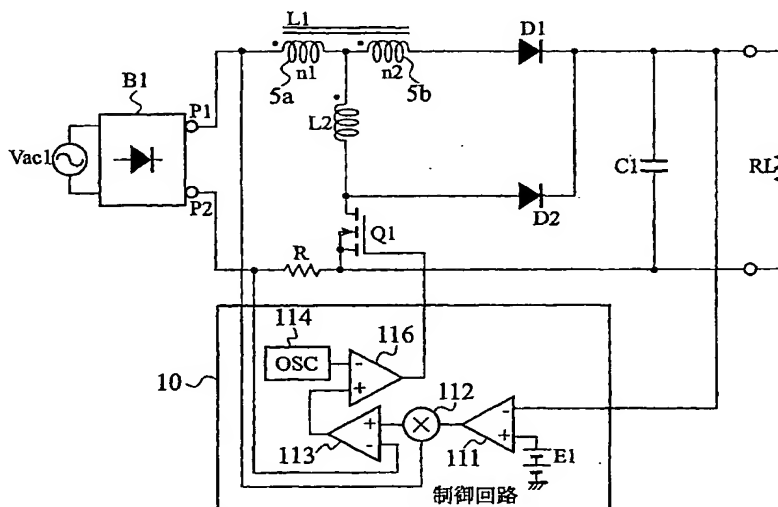
(10) 国際公開番号
WO 2004/095682 A1

- (51) 国際特許分類: H02M 3/155 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/004515 (75) 発明者/出願人 (米国についてののみ): 鶴谷 守 (TSU-
RUYA, Mamoru) [JP/JP].
(22) 国際出願日: 2004 年 3 月 30 日 (30.03.2004) (74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001
(25) 国際出願の言語: 日本語 東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル
(26) 国際公開の言語: 日本語 9 階 Tokyo (JP).
(30) 優先権データ: 特願2003-117403 2003 年 4 月 22 日 (22.04.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が
(71) 出願人 (米国を除く全ての指定国について): サン 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
ケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
[JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
Saitama (JP). ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: POWER FACTOR IMPROVING CIRCUIT

(54) 発明の名称: 力率改善回路



10...CONTROL CIRCUIT

(57) Abstract: There are provided a series circuit that is connected between the positive and negative output terminals (P1,P2) of a full-wave rectifier circuit (B1), which rectifies the AC power supply voltage of an AC power supply (Vac1) and that comprises booster winding (5a) and a winding (5b) both wound about a booster reactor (L1), a diode (D1) and a smoothing capacitor (C1); a series circuit that is connected between the positive and negative output terminals (P1,P2) and that comprises the booster winding (5a), a ZCS reactor (L2) and a switch (Q1); a diode (D2) that is connected between the smoothing capacitor (C1) and a junction between the switch (Q1) and the ZCS reactor (L2); and a control circuit (10) that turns the switch (Q1) on and off, thereby controlling the smoothing capacitor (C1) such that it constantly exhibits a predetermined output voltage.

(57) 要約: 交流電源Vac1の交流電源電圧を整流する全波整流回路B1の正極側出力端P1と負極側出力端P2との間に接続され、昇圧リアクトルL1に巻回された昇圧巻線5a及び巻き上げ巻線5bとダイオードD1と平滑コンデンサC1とからなる直列回路と、

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

正極側出力端P1と負極側出力端P2との間に接続され、昇圧巻線5aとZCSリアクトルL2とスイッチQ1と
からなる直列回路と、スイッチQ1とZCSリアクトルL2との接続点と平滑コンデンサC1との間に接続された
ダイオードD2と、スイッチQ1をオン/オフ制御することにより平滑コンデンサC1の出力電圧を所定電圧に制
御する制御回路10とを有する。

明細書

力率改善回路

5 技術分野

本発明は、高効率、低ノイズ、高力率なスイッチング電源に使用する力率改善回路に関する。

背景技術

- 10 図1は、特開2000-37072号に記載された力率改善回路の回路構成図を示す。図1に示す力率改善回路において、交流電源V_{ac1}の交流電源電圧を整流する全波整流回路B1の出力両端には、昇圧リアクトルL1とMOSFETからなるスイッチQ1と電流検出抵抗Rとからなる直列回路が接続されている。スイッチQ1の両端には、ダイオードD1と平滑コンデ
15 ンサC1とからなる直列回路が接続され、平滑コンデンサC1の両端には、負荷R_Lが接続されている。スイッチQ1は、制御回路100のPWM制御によりオン/オフするようになっている。

電流検出抵抗Rは、全波整流回路B1に流れる入力電流を検出する。

- 制御回路100は、誤差増幅器111、乗算器112、誤差増幅器113、
20 発振器(OSC)114、PWMコンパレータ116を有して構成される。

- 誤差増幅器111は、基準電圧E1が+端子に入力され、平滑コンデンサC1の電圧が-端子に入力され、平滑コンデンサC1の電圧と基準電圧E1との誤差が増幅され、誤差電圧信号を生成して乗算器112に出力する。乗算器112は、誤差増幅器111からの誤差電圧信号と全波整流回路B1の
25 正極側出力端P1からの全波整流電圧とを乗算して乗算出力電圧を誤差増幅器113の+端子に出力する。

- 誤差増幅器113は、電流検出抵抗Rで検出した入力電流に比例した電圧が-端子に入力され、乗算器112からの乗算出力電圧が+端子に入力され、電流検出抵抗Rによる電圧と乗算出力電圧との誤差が増幅され、誤差電圧信号を生成してこの誤差電圧信号をフィードバック信号FBとしてPWMコ
30

ンパレータ 116 に出力する。OSC 114 は、一定周期の三角波信号を生成する。

PWMコンパレータ 116 は、OSC 114 からの三角波信号が一端子に入力され、誤差増幅器 113 からのフィードバック信号 FB が + 端子に入力され、フィードバック信号 FB の値が三角波信号の値以上のときにオンで、フィードバック信号 FB の値が三角波信号の値未満のときにオフとなるパルス信号を生成し、該パルス信号をスイッチ Q1 のゲートに印加する。

即ち、PWMコンパレータ 116 は、スイッチ Q1 に対して、誤差増幅器 113 による電流検出抵抗 R の出力と乗算器 112 の出力との差信号に応じたデューティパルスを提供する。このデューティパルスは、交流電源電圧及び直流負荷電圧の変動に対して一定周期で連続的に補償するパルス幅制御信号である。このような構成により、交流電源電流波形が交流電源電圧波形に一致するように制御されて、力率が大幅に改善される。

次に、このように構成された力率改善回路の動作を図 2 に示すタイミングチャートを参照しながら説明する。なお、図 2 では、スイッチ Q1 の両端間の電圧 $Q1v$ 、スイッチ Q1 に流れる電流 $Q1i$ 、ダイオード D1 に流れる電流 $D1i$ を示している。

まず、時刻 t_{31} において、スイッチ Q1 がオンし、全波整流回路 B1 から昇圧リアクトル L1 を介してスイッチ Q1 に電流 $Q1i$ が流れる。この電流は、時刻 t_{32} まで時間の経過とともに直線的に増大していく。なお、時刻 t_{31} から時刻 t_{32} では、ダイオード D1 に流れる電流 $D1i$ は零になる。

次に、時刻 t_{32} において、スイッチ Q1 は、オン状態からオフ状態に変わる。このとき、昇圧リアクトル L1 に誘起された励磁エネルギーによりスイッチ Q1 の電圧 $Q1v$ が上昇する。また、時刻 t_{32} ~ 時刻 t_{33} では、スイッチ Q1 がオフであるため、スイッチ Q1 に流れる電流 $Q1i$ は零になる。なお、時刻 t_{32} から時刻 t_{33} では、 $L1 \rightarrow D1 \rightarrow C1$ で電流 $D1i$ が流れて、負荷 RL に電力が供給される。

しかしながら、図 1 に示す昇圧型の力率改善回路では、スイッチ Q 1 のターンオン又はターンオフ時において、スイッチ Q 1 の電圧 $Q1v$ と電流 $Q1i$ との重複部分が生じ、この重複部分により大きなスイッチング損失が発生する欠点があった。

5 また、スイッチ Q 1 をオンした時（例えば時刻 t_{31} , t_{33} , t_{35} ）には、 $C1 \rightarrow D1 \rightarrow Q1$ の経路にダイオードリカバリーによるスパイク電流 RC が流れる。また、スイッチ Q 1 をオフした時（例えば時刻 t_{32} , t_{34} , t_{36} ）には、配線のインダクタンスによるスパイク電圧 SP が発生する。

10 リカバリー時間の間は、ダイオード D 1 はショート状態のため、スイッチ Q 1 の損失は増大する。また、スイッチ Q 1 がオフ時のスパイク電圧を抑制するために抵抗及びコンデンサからなる CR アブソーバ等を追加するため、 CR アブソーバによる損失も増大していた。

15 また、スパイク電圧及びスパイク電流は、ノイズを発生する。このノイズを低減するためにノイズフィルタも大型化し、スイッチング電源の小型、高効率化の妨げとなっていた。

本発明は、スイッチのゼロ電流スイッチング及びゼロ電圧スイッチングを可能とし、小型、高効率、低ノイズ化することができる力率改善回路を提供することにある。

20 本発明は前記課題を解決するために成されたものであり、本発明の第 1 の側面は、交流電源の交流電源電圧を整流回路で整流した整流電圧を昇圧リアクトルを介して入力して主スイッチによりオン／オフして入力力率を改善するとともに、直流の出力電圧に変換する力率改善回路であって、前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトル
25 に巻回された昇圧巻線及び巻き上げ巻線と第 1 ダイオードと平滑コンデンサとからなる第 1 直列回路と、前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルの昇圧巻線とゼロ電流スイッチリアクトルと前記主スイッチとからなる第 2 直列回路と、前記主スイッチと前記ゼロ電流スイッチリアクトルとの接続点と前記平滑コンデンサとの間に接
30 続された第 2 ダイオードと、前記主スイッチをオン／オフ制御することによ

り前記平滑コンデンサの出力電圧を所定電圧に制御する制御手段とを有することを特徴とする。

また、本発明の第2の側面は、交流電源の交流電源電圧を整流回路で整流した整流電圧を昇圧リアクトルを介して入力して主スイッチによりオン／オフして入力力率を改善するとともに、直流の出力電圧に変換する力率改善回路であって、前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルに巻回された昇圧巻線及び巻き上げ巻線とゼロ電流スイッチリアクトルと第1ダイオードと平滑コンデンサとからなる第1直列回路と、前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルの昇圧巻線と前記主スイッチとからなる第2直列回路と、前記昇圧リアクトルの昇圧巻線と巻き上げ巻線との接続点及び前記主スイッチと前記平滑コンデンサとの間に接続された第2ダイオードと、前記主スイッチをオン／オフ制御することにより前記平滑コンデンサの出力電圧を所定電圧に制御する制御手段とを有することを特徴とする。

15

図面の簡単な説明

図1は、従来の力率改善回路を示す回路構成図である。

図2は、従来の力率改善回路の各部における信号のタイミングチャートである。

20 図3は、第1の実施の形態に係る力率改善回路を示す回路構成図である。

図4は、第1の実施の形態に係る力率改善回路の交流電源電圧波形と整流出力電流波形のタイミングチャートである。

図5は、第1の実施の形態に係る力率改善回路の各部における信号のタイミングチャートである。

25 図6は、第1の実施の形態に係る力率改善回路のスイッチQ1のターンオン時の各部における信号のタイミングチャートである。

図7は、第1の実施の形態に係る力率改善回路のスイッチQ1のターンオフ時の各部における信号のタイミングチャートである。

30 図8は、第1の実施の形態に係る力率改善回路の変形例を示す回路構成図である。

図 9 は、第 2 の実施の形態に係る力率改善回路の各部における信号のタイミングチャートである。

図 10 は、第 2 の実施の形態に係る力率改善回路を示す回路構成図である。

図 11 は、第 2 の実施の形態に係る力率改善回路に設けられた昇圧リアクトルの構造図である。

図 12 は、第 2 の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。

図 13 は、第 3 の実施の形態に係る力率改善回路を示す回路構成図である。

図 14 A, 14 B は、第 3 の実施の形態に係る力率改善回路に設けられた昇圧リアクトルの構造図である。

図 15 は、第 3 の実施の形態に係る力率改善回路の各部における信号のタイミングチャートである。

図 16 は、第 3 の実施の形態に係る力率改善回路のスイッチ Q1 のターンオン時の各部における信号のタイミングチャートである。

図 17 は、第 3 の実施の形態に係る力率改善回路のスイッチ Q1 のターンオフ時の各部における信号のタイミングチャートである。

図 18 は、第 3 の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。

図 19 は、第 4 の実施の形態に係る力率改善回路を示す回路構成図である。

図 20 は、第 3 の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。

図 21 は、第 5 の実施の形態に係る力率改善回路の第 1 実施例を示す回路構成図である。

図 22 は、第 5 の実施の形態に係る力率改善回路の第 1 実施例の交流電源電圧波形とスイッチング周波数のタイミングチャートである。

図 23 は、図 22 に示すタイミングチャートの A 部における 100 KHz のスイッチング波形を示す図である。

図 24 は、図 22 に示すタイミングチャートの B 部における 20 KHz のスイッチング波形を示す図である。

図 2 5 は、第 5 の実施の形態に係る力率改善回路の第 1 実施例に設けられた V C O の詳細な回路構成図である。

図 2 6 は、第 5 の実施の形態に係る力率改善回路の第 1 実施例の交流電源電圧波形とヒステリシスコンパレータに入力される電圧とこの電圧により
5 変化するスイッチング周波数のタイミングチャートである。

図 2 7 は、第 5 の実施の形態に係る力率改善回路の第 1 実施例の V C O の特性を示す図である。

図 2 8 は、第 5 の実施の形態に係る力率改善回路の第 1 実施例の V C O の周波数の変化に応じて P W M コンパレータのパルス周波数が変化した様子
10 を示す図である。

図 2 9 は、第 5 の実施の形態に係る力率改善回路の第 2 実施例の交流電源電圧波形とヒステリシスコンパレータに入力される電圧により変化するスイッチング周波数のタイミングチャートである。

図 3 0 は、第 5 の実施の形態に係る力率改善回路の第 3 実施例の V C O の
15 詳細な回路構成図である。

図 3 1 は、第 5 の実施の形態に係る力率改善回路の第 3 実施例の交流電源電圧波形とコンデンサの電圧とこの電圧により変化するスイッチング周波数のタイミングチャートである。

図 3 2 は、第 5 の実施の形態に係る力率改善回路のその他の実施例を示す
20 回路構成図である。

図 3 3 は、第 6 の実施の形態に係る力率改善回路を示す回路構成図である。

図 3 4 は、第 6 の実施の形態に係る力率改善回路の動作を説明するための図である。

図 3 5 は、第 6 の実施の形態に係る力率改善回路の各部における信号のタイミングチャートである。
25

図 3 6 は、第 6 の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。

発明を実施するための最良の形態

以下、本発明に係る力率改善回路の実施の形態を、図面を参照して詳細に説明する。

(第1の実施の形態)

第1の実施の形態に係る力率改善回路は、主スイッチに直列にゼロ電流スイッチリアクトルを接続し、主スイッチをオン時にZCS(ゼロ電流スイッチ)を行わせることにより、整流ダイオードのリカバリーによる損失を低減させ、電流の変化を緩やかにすることにより、高効率、低ノイズのスイッチング動作を行わせるものである。

図3は第1の実施の形態に係る力率改善回路の回路構成図である。図3において、全波整流回路B1は、交流電源Vac1に接続され、交流電源Vac1からの交流電源電圧を整流して正極側出力端P1及び負極側出力端P2に出力する。

全波整流回路B1の正極側出力端P1と負極側出力端P2との間には、昇圧リアクトルL1に巻回された昇圧巻線5a(巻数n1)及び巻き上げ巻線5b(巻数n2)とダイオードD1と平滑コンデンサC1と電流検出抵抗R(本発明の電流検出手段に対応)とからなる第1直列回路が接続されている。

また、全波整流回路B1の正極側出力端P1と負極側出力端P2との間に接続され、昇圧リアクトルL1の昇圧巻線5aとZCSリアクトルL2とMOSFETからなるスイッチQ1(主スイッチ)と電流検出抵抗Rとからなる第2直列回路が接続されている。スイッチQ1とZCSリアクトルL2との接続点と平滑コンデンサC1との間にはダイオードD2が接続されている。

スイッチQ1は、制御回路10のPWM制御によりオン/オフする。ダイオードD1と平滑コンデンサC1とで整流平滑回路を構成する。平滑コンデンサC1には並列に負荷RLが接続され、平滑コンデンサC1はダイオードD1の整流電圧を平滑して直流出力を負荷RLに出力する。

電流検出抵抗Rは、全波整流回路B1に流れる入力電流を検出する。制御回路10は、誤差増幅器111、乗算器112、誤差増幅器113、OSC114、PWMコンパレータ116を有して構成され、図1に示す制御回路100の構成と同一構成であるので、ここでは、その詳細な説明は省略する。

次にこのように構成された第1の実施の形態に係る力率改善回路の動作を図4乃至図7に示すタイミングチャートを参照しながら説明する。図4は第1の実施の形態に係る力率改善回路の交流電源電圧波形と整流出力電流波形のタイミングチャートである。図5は第1の実施の形態に係る力率改善回路の各部における信号のタイミングチャートである。図6は第1の実施の形態に係る力率改善回路のスイッチQ1のターンオン時の各部における信号のタイミングチャートである。図7は第1の実施の形態に係る力率改善回路のスイッチQ1のターンオフ時の各部における信号のタイミングチャートである。

10 なお、図4では、交流電源電圧 V_i 、整流出力電流 I_o を示している。図5では、図4のA部の詳細を示している。図5乃至図7では、交流電源に流れる入力電流 I_i 、スイッチQ1の両端間の電圧 $Q1_v$ 、スイッチQ1に流れる電流 $Q1_i$ 、ダイオードD1に流れる電流 $D1_i$ 、ダイオードD2に流れる電流 $D2_i$ を示している。Q1制御信号 $Q1_g$ はスイッチQ1のゲート
15 に印加される信号を示している。

まず、時刻 t_2 (t_{21})において、スイッチQ1をオンさせると、交流電源電圧 V_i を整流した電圧により、 $V_{ac1} \rightarrow B1 \rightarrow 5a \rightarrow L2 \rightarrow Q1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1}$ で電流が流れる。このため、ZCSリアクトル $L2$ に電圧が印加されて、時刻 t_{21} から時刻 t_{22} まで、スイッチQ1に流れる電
20 流 $Q1_i$ は $V_{ac1}/L2$ の傾きで増加する。従って、スイッチQ1の電流 $Q1_i$ はゼロから始まるので、スイッチQ1はZCS動作となる。図6からわかるようにスイッチQ1がオンした後、電流が立ち上がり、ZCS動作を達成していることがわかる。

また、時刻 t_{21} から時刻 t_{22} において、ZCSリアクトル $L2$ の電流
25 が増加すると同時に、ダイオードD1に流れる電流 $D1_i$ は減少してゼロとなり、ダイオードD1はオフ状態となる。リカバリー時間の間には、ダイオードD1のリカバリーによるスパイク電流がスイッチQ1に流れるが、このスパイク電流はZCSリアクトル $L2$ のインピーダンスにより制限される。図6に示すように、時刻 t_{22} において、ダイオードリカバリーによるスパ
30 イク電流 R_C が僅かに見られる。

リカバリー時間が終了して、ダイオードD1の逆方向が回復し、ZCSリアクトルL2の電流の増加率は減少する。入力電圧は、昇圧リアクトルL1の昇圧巻線5aの電圧が加わり、 $V_{ac1} \rightarrow B1 \rightarrow 5a \rightarrow L2 \rightarrow Q1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1}$ で電流 $Q1i$ が流れ、電流 $Q1i$ は $V_{ac1}/5a$ の傾きで上昇する（時刻 t_{t22} ～時刻 $t3$ ）。

次に、時刻 $t3$ （時刻 $t31$ ）において、スイッチQ1をオフさせると、昇圧リアクトルL1の昇圧巻線5aに蓄えられたエネルギーにより、 $5a \rightarrow 5b \rightarrow D1 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1} \rightarrow 5a$ で、電流 $D1i$ が時刻 $t3$ から時刻 $t4$ まで流れる。このため、平滑コンデンサC1が充電されるとともに、負荷RLに電力が供給される。

同様に、時刻 $t3$ （時刻 $t31$ ）において、ZCSリアクトルL2に蓄えられたエネルギーによりスイッチQ1の電圧 $Q1v$ が上昇する。また、ZCSリアクトルL2に蓄えられたエネルギーにより、 $L2 \rightarrow D2 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1} \rightarrow 5a \rightarrow L2$ で電流 $D2i$ が流れる。即ち、ダイオードD2を介してZCSリアクトルL2に蓄えられたエネルギーを負荷RLに回生する。この時のエネルギー量は、昇圧リアクトルL1の巻き上げ巻線5bに発生する電圧とZCSリアクトルL2の電流とで決定され、昇圧巻線5aと巻き上げ巻線5bとの接続点、即ちタップが入力に近いほど発生電圧は高くなり、短い時間で放電は終了する。

この放電が完了した時刻 $t32$ において、ダイオードD2の電流 $D2i$ がゼロとなり、逆特性が回復した後、再び、時刻 $t4$ において、スイッチQ1をオンすると、ZCS動作を継続できる。また、制御回路10は、スイッチQ1のオンデューティを、入力交流電源電圧 V_i に等しい波形となるように制御するので、昇圧型の力率改善回路を構成できる。

このように第1の実施の形態に係る力率改善回路によれば、スイッチQ1に直列にZCSリアクトルL2を接続したので、スイッチQ1をオンした時にダイオードリカバリーによるスパイク電流が流れなくなる。このため、ノイズが低減され、ノイズフィルタも小型化されるので、スイッチング電源の小型、高効率化を図ることができる。

また、スイッチQ1をオン時にZCSを行わせることにより、スイッチング損失及びスイッチングノイズを低減できるので、高効率、低ノイズ化を図ることができる。

図8は、第1の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。この実施例の力率改善回路は、図3に示す第1の実施の形態の力率改善回路の構成に、さらに、コンデンサC_{X1}、ダイオードD_{X1}、ダイオードD_{X2}を追加し、ダイオードリカバリーによる損失（すなわち、ダイオードD1のリカバリー時に発生するスパイク電流やスパイク電圧）を低減したことを特徴とする。

昇圧リアクトルL1の巻き上げ線5bとダイオードD1との接続点とスイッチQ1と電流検出抵抗Rとの接続点との間には、コンデンサC_{X1}とダイオードD_{X1}とからなる直列回路が接続されている。コンデンサC_{X1}とダイオードD_{X1}との接続点と平滑コンデンサC1の間にはダイオードD_{X2}が接続されている。

なお、その他の構成は、図3に示す第1の実施の形態に係る力率改善回路の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

次にこのように構成された第1の実施の形態に係るその他の力率改善回路の動作を図9に示すタイミングチャートを参照しながら説明する。図9は、第1の実施の形態に係る力率改善回路の各部における信号のタイミングチャートである。

図9では、交流電源に流れる入力電流 I_i 、スイッチQ1の両端間の電圧 $Q1_v$ 、スイッチQ1に流れる電流 $Q1_i$ 、ダイオードD1に流れる電流 $D1_i$ 、ダイオードD2に流れる電流 $D2_i$ 、コンデンサC_{X1}の両端電圧 V_{CX1} 、コンデンサC_{X1}に流れる電流 $CX1_i$ を示している。Q1制御信号 $Q1_g$ はスイッチQ1のゲートに印加される信号を示している。

まず、時刻 t_2 において、スイッチQ1をオンさせると、交流電源電圧 V_i を整流した電圧により、 $V_{ac1} \rightarrow B1 \rightarrow 5a \rightarrow L2 \rightarrow Q1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1}$ で電流が流れる。このため、ZCSリアクトルL2に電圧が印加されて、スイッチQ1に流れる電流 $Q1_i$ は $V_{ac1}/L2$ の傾きで増加する。

従って、スイッチQ1の電流 $Q1\ i$ はゼロから始まるので、スイッチQ1はZCS動作となる。

また、ZCSリアクトルL2の電流が増加すると同時に、ダイオードD1に流れる電流 $D1\ i$ は減少してゼロとなり、ダイオードD1はオフ状態となる。リカバリー時間の間には、ダイオードD1のリカバリーによるスパイク電流がスイッチQ1に流れるが、このスパイク電流はZCSリアクトルL2のインピーダンスにより制限される。

また、 $5\ b \rightarrow L2 \rightarrow Q1 \rightarrow DX1 \rightarrow CX1 \rightarrow 5\ b$ とコンデンサCX1に電流 $CX1\ i$ が流れ、コンデンサCX1が充電される。このとき、コンデンサCX1のダイオードDX1側が正極となるため、図9に示すように、コンデンサCX1の両端電圧 $VCX1$ が負電圧になり、コンデンサCX1に流れる電流 $CX1\ i$ が負電流になる。

即ち、ダイオードDX1のリカバリーによるスパイク電流がZCSリアクトルL2によってコンデンサCX1に充電されるため、スパイク電流をさらに小さくすることができる。

リカバリー時間が終了して、ダイオードD1の逆方向が回復し、ZCSリアクトルL2の電流の増加率は減少する。入力電圧は、昇圧リアクトルL1の昇圧巻線5aの電圧が加わり、 $Vac1 \rightarrow B1 \rightarrow 5\ a \rightarrow L2 \rightarrow Q1 \rightarrow R \rightarrow B1 \rightarrow Vac1$ で電流 $Q1\ i$ が流れ、電流 $Q1\ i$ は $Vac1 / 5\ a$ の傾きで上昇する。

次に、時刻t3において、スイッチQ1をオフさせると、昇圧リアクトルL1の昇圧巻線5aに蓄えられたエネルギーにより、 $5\ a \rightarrow 5\ b \rightarrow D1 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow Vac1 \rightarrow 5\ a$ で、電流 $D1\ i$ が時刻t3から時刻t4まで流れる。このため、平滑コンデンサC1が充電されるとともに、負荷RLに電力が供給される。

同様に、時刻t3において、ZCSリアクトルL2に蓄えられたエネルギーによりスイッチQ1の電圧 $Q1\ v$ が上昇する。また、ZCSリアクトルL2に蓄えられたエネルギーにより、 $L2 \rightarrow D2 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow Vac1 \rightarrow 5\ a \rightarrow L2$ で電流 $D2\ i$ が流れる。即ち、ダイオードD2を介してZCSリアクトルL2に蓄えられたエネルギーを負荷RLに回生する。

また、 $V_{ac1} \rightarrow B1 \rightarrow 5a \rightarrow 5b \rightarrow CX1 \rightarrow DX2 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow V_{ac1}$ と電流 $CX1i$ が流れて、コンデンサ $CX1$ が放電される。このとき、コンデンサ $CX1$ のダイオード $DX1$ 側が負極となるため、図 9 に示すように、コンデンサ $CX1$ の両端電圧 $VCX1$ が略ゼロ電圧になり、コンデンサ $CX1$ に流れる電流 $CX1i$ が正電流になる。

時刻 t_{32} において、ダイオード $D2$ の電流 $D2i$ がゼロとなり、逆特性が回復した後、再び、時刻 t_4 において、スイッチ $Q1$ をオンすると、ZCS動作を継続できる。

このように、第 1 の実施の形態に係る力率改善回路のその他の実施例によれば、第 1 の実施の形態に係る力率改善回路の効果に加えて、ダイオードリカバリーによる損失をさらに低減することができる。

(第 2 の実施の形態)

図 10 は第 2 の実施の形態に係る力率改善回路を示す回路構成図である。図 10 に示す第 2 の実施の形態に係る力率改善回路は、図 3 に示す第 1 の実施の形態に係る力率改善回路に対して、ZCSリアクトル $L2$ を昇圧リアクトル $L1$ とダイオード $D1$ との間に設けたことを特徴とする。ZCSリアクトル $L2$ は、昇圧リアクトル $L1$ の昇圧巻線 $5a$ と巻き上げ巻線 $5b$ 間のリーケージインダクタで構成することもできる。

図 11 は、第 2 の実施の形態に係る力率改善回路に設けられた昇圧リアクトル $L1$ の構造を示す構造図である。図 11 に示す昇圧リアクトル $L1$ は、中央脚 $30c$ 及び側脚 $30a$, $30b$ を有し、且つ磁気回路が形成された日の字状の磁性材料からなるコア（鉄心） 30 を有している。コア 30 は、フェライトのような高い透磁率で鉄損が少ない磁性体が用いられている。コア 30 の透磁率は、例えば $3000 \sim 4000$ である。コア 30 の中央脚 $30c$ 及び側脚 $30a$, $30b$ の各脚には、同一の厚みのギャップ $33a$, $33b$, $33c$ が設けられている。中央脚 $30c$ には昇圧巻線 $5a$ が巻回され、片方の側脚 $30a$ には巻き上げ線 $5b$ が巻回され、他の片方の側脚 $30b$ はパスコアとして用いられる。これにより、磁束は中央脚 $30c$ で作られ双方の側脚 $30a$, $30b$ に等しく分配される。このように、コア 30 に同一厚みのギャップ $33a$, $33b$, $33c$ を設けたことで、中央脚 $30c$ の断面

積を 1 とすると、双方の側脚 30 a, 30 b とともに断面積は $1/2$ となる。また、昇圧巻線 5 a, 巻き上げ線 5 b の磁気結合が疎となるため、大きなリーケージインダクタンスが得られ、これらのリーケージインダクタンスで L_2 が構成できる。また、各ギャップ 33 a, 33 b, 33 c に、各巻線 5 a、
5 5 b に流れる電流に応じて透磁率に変化する磁性体を設けることができる。そのような磁性体としては、例えば、プラスチックの中にフェライト等の磁性体粉末を混合したプラスチック磁性体などを用いればよい。これによって、小型で磁気飽和しにくい昇圧リアクトルを製作することができる。

10 なお、図 10 に示すその他の構成は図 3 に示すものと同一構成であり、同一部分には同一符号を付し、その詳細な説明は省略する。

図 3 に示す力率改善回路は、図 10 に示す力率改善回路と等価であり、図 10 に示す力率改善回路の動作と同様に動作するが、その動作を簡単に説明する。

15 まず、時刻 t_2 において、スイッチ Q_1 をオンさせると、交流電源電圧 V_i を整流した電圧により、 $V_{ac1} \rightarrow B_1 \rightarrow 5a \rightarrow Q_1 \rightarrow R \rightarrow B_1 \rightarrow V_{ac1}$ で電流 $Q_1 i$ が流れる。スイッチ Q_1 の電流 $Q_1 i$ はゼロから始まるので、スイッチ Q_1 は ZCS 動作となる。

20 そして、ダイオード D_1 に流れる電流 $D_1 i$ は減少してゼロとなり、ダイオード D_1 はオフ状態となる。リカバリー時間の間には、ダイオード D_1 のリカバリーによるスパイク電流がスイッチ Q_1 に流れるが、このスパイク電流は ZCS リアクトル L_2 のインピーダンスにより制限される。

次に、時刻 t_{31} において、スイッチ Q_1 をオフさせると、スイッチ Q_1 をオンした時に昇圧リアクトル L_1 に蓄えられたエネルギーにより昇圧リアクトル L_1 に流れる電流は、急激には ZCS リアクトル L_2 には流れない。
25 即ち、昇圧リアクトル L_1 に流れる電流と ZCS リアクトル L_2 に流れる電流との差の電流が、ダイオード D_2 を介して平滑コンデンサ C_1 に電流 $D_2 i$ として流れて負荷 R_L に電力が供給される。電流 $D_2 i$ は、時刻 t_{31} から時刻 t_{32} において、直線的に減少する。

30 また、ZCS リアクトル L_2 に蓄えられたエネルギーにより ZCS リアクトル L_2 に流れる電流は、ダイオード D_1 を介して平滑コンデンサ C_1 に電

流 $D1i$ として流れて負荷 RL に電力が供給される。電流 $D1i$ は、時刻 $t31$ から時刻 $t32$ において、直線的に増加する。

そして、ZCSリアクトル $L2$ に流れる電流が昇圧リアクトル $L1$ に流れる電流と等しくなったとき（時刻 $t32$ ）、ダイオード $D2$ に流れる電流 $D2i$ はゼロとなる。

次に、時刻 $t4$ （時刻 $t2$ も同じ）において、スイッチ $Q1$ をオンさせると、ZCSリアクトル $L2$ の電流は直線的に減少し、ゼロとなった時にダイオード $D1$ はオフとなる。図6に示すように、ZCSリアクトル $L2$ に流れる電流（電流 $D1i$ と同じ）が減少するに従って、スイッチ $Q1$ に流れる電流 $Q1i$ は増加し、昇圧リアクトル $L1$ に流れる電流と等しくなったときに、ZCSリアクトル $L2$ の電流がゼロとなる。従って、図6と同様にZCS動作となる。

このように第2の実施の形態に係る力率改善回路によれば、第1の実施の形態に係る力率改善回路の効果と同様な効果が得られるとともに、昇圧リアクトル $L1$ に直列に接続されたZCSリアクトル $L2$ が昇圧リアクトル $L1$ の昇圧巻線 $5a$ と巻き上げ巻線 $5b$ 間のリーケージインダクタとすることもできるので、昇圧リアクトル $L1$ 及びZCSリアクトル $L2$ が一体化して、リアクトルを製作しやすいという利点がある。

図12は、第2の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。この実施例の力率改善回路は、図10に示す力率改善回路の構成に、さらに、コンデンサ $CX1$ 、ダイオード $DX1$ 、ダイオード $DX2$ を追加し、ダイオードリカバリー（すなわち、ダイオード $D1$ のリカバリー時に発生するスパイク電流やスパイク電圧）を低減したことを特徴とする。

ZCSリアクトル $L2$ とダイオード $D1$ との接続点とスイッチ $Q1$ と電流検出抵抗 R との接続点との間には、コンデンサ $CX1$ とダイオード $DX1$ とからなる直列回路が接続されている。コンデンサ $CX1$ とダイオード $DX1$ との接続点と平滑コンデンサ $C1$ との間にはダイオード $DX2$ が接続されている。

なお、その他の構成は、図 10 に示す第 2 の実施の形態に係る力率改善回路の構成と同一であるので、同一部分には同一符号を付し、説明を省略する。

次に、このように構成された第 2 の実施の形態に係るその他の力率改善回路の動作を説明する。

- 5 スイッチ Q 1 がターンオンするとダイオード D 1 のリカバリーにより、C 1 → D 1 → L 2 → 5 b → Q 1 → C 1 の経路で電流が流れ、ダイオード D 1 のリカバリーが終了するとこの電流は遮断される。このとき、Z C S リアクトル L 2 にダイオード D 1 を逆バイアスする方向に電圧が発生する。この電圧により、L 2 → 5 b → Q 1 → D X 1 → C X 1 → L 2 の経路で電流が流れ、コンデンサ C X 1 に電荷を蓄える。そして、スイッチ Q 1 がターンオフすると、
10 V a c 1 → B 1 → L 1 → L 2 → C X 1 → D X 2 → C 1 → R → B 1 → V a c 1 の経路で電流が流れ、この電荷を負荷に還流させる。

- このようにして、第 2 の実施の形態に係る力率改善回路のその他の実施例によれば、第 2 の実施の形態に係る力率改善回路の効果に加えて、ダイオードリカバリーによる損失をさらに低減することができる。
15

(第 3 の実施の形態)

- 図 1 3 は第 3 の実施の形態に係る力率改善回路を示す回路構成図である。図 1 3 に示す第 3 の実施の形態に係る力率改善回路は、図 1 0 に示す第 2 の実施の形態に係る力率改善回路に対して、スイッチ Q 1 をオン時に Z C S を行わせ、同時にスナバコンデンサ C 2 の電荷を回収させ、スイッチ Q 1 をオフした時に Z V S (ゼロ電圧スイッチ) を行わせることにより、整流ダイオードのリカバリーによる損失を低減させ、電流の変化を緩やかにすることにより、高効率、低ノイズのスイッチング動作を行わせるものである。即ち、スイッチ Q 1 をオフした時にダイオード D 5 を介してスナバコンデンサ C 2 を充電することにより、スイッチ Q 1 の電圧の立ち上がりを緩やかにしス
20 イッチ Q 1 のオフ時の損失を軽減するとともにノイズの発生も軽減する。
25

図 1 3 に示す力率改善回路において、スイッチ Q 1 には並列に、ダイオード D 3 とスナバコンデンサ C 2 とからなる第 3 直列回路が接続されている。また、スイッチ Q 1 には並列に、ダイオード D 6 が接続されている。このダ

イオードD 6及びスナバコンデンサC 2はスイッチQ 1の寄生ダイオード及び寄生容量であってもよい。

ダイオードD 3とスナバコンデンサC 2との接続点とダイオードD 1のアノードとの間には、ダイオードD 4と昇圧リアクトルL 1に巻回された回生巻線5 c（巻数n 3）と減流リアクトルL 3と回生コンデンサC 3とからなる第4直列回路が接続されている。回生コンデンサC 3と減流リアクトルL 3との接続点とダイオードD 1のカソードと平滑コンデンサC 1との接続点との間には、ダイオードD 5が接続されている。

ZCSリアクトルL 2は、昇圧リアクトルL 1の昇圧巻線5 aと巻き上げ巻線5 b間のリーケージインダクタからなる。減流リアクトルL 3は、昇圧リアクトルL 1の昇圧巻線5 aと回線巻線5 c間のリーケージインダクタからなる。

なお、図1 3に示すその他の構成は、図3に示す構成と同一構成であり、同一部分には同一符号を付し、その詳細な説明は省略する。

図1 4 A、1 4 Bは第3の実施の形態に係る力率改善回路に設けられた昇圧リアクトルの構造図である。

図1 4 Aに示す昇圧リアクトルL 1は、口の字型のコア（鉄心）2 0を有し、コア2 0のA脚2 0 aには、ギャップ2 1が1箇所形成され且つ昇圧巻線5 aが巻回されている。コア2 0のB脚2 0 bには、巻き上げ巻線5 bと回生巻線5 cとが巻回されている。昇圧巻線5 aに対して、巻き上げ巻線5 bと回生巻線5 cとは、疎結合となるようにコア2 0に巻回されている。

このため、昇圧リアクトルL 1の昇圧巻線5 aと巻き上げ巻線5 b間のリーケージインダクタが大きくなるので、このリーケージインダクタをZCSリアクトルL 2に使用することができる。また、昇圧リアクトルL 1の昇圧巻線5 aと回線巻線5 c間のリーケージインダクタが大きくなるので、このリーケージインダクタを減流リアクトルL 3に使用することができる。

また、大きなインダクタンスが必要な場合には、昇圧リアクトルL 1の巻き上げ巻線5 bと、昇圧巻線5 a及び回生巻線5 cとの間にパスコア2 0 c（図1 4 Aに示す点線部分）等の磁束バイパスルートを形成しても良い。即ち、磁束バイパスルートを巻き上げ巻線5 bのみに形成すべく、パスコア2

0 c を巻き上げ巻線 5 b の近くに配置している。このようにすれば、磁束をパスコア 2 0 c にバイパスさせることにより、巻き上げ巻線 5 b を貫く磁束を減少させることができるので、さらに大きなリーケージインダクタを得ることができる。

5 また、ギャップ 2 1 に、各巻線 5 a、5 b に流れる電流に応じて透磁率が変化する磁性体を設けることができる。そのような磁性体としては、例えば、プラスチックの中にフェライト等の磁性体粉末を混合したプラスチック磁性体などを用いればよい。これによって、小型で磁気飽和しにくい昇圧リアクトルを製作することができる。

10 また、図 1 4 B に示す昇圧リアクトル L 1 は、中央脚 3 0 c 及び側脚 3 0 a、3 0 b を有し、且つ磁気回路が形成された日の字状の磁性材料からなるコア（鉄心）3 0 を有している。コア 3 0 は、フェライトのような高い透磁率で鉄損が少ない磁性体を用いられている。コア 3 0 の透磁率は、例えば 3 0 0 0 ~ 4 0 0 0 である。コア 3 0 の中央脚 3 0 c 及び側脚 3 0 a、3 0 b
15 には同一の厚みのギャップ 3 3 a、3 3 b、3 3 c が設けられている。中央脚には昇圧巻線 5 a が巻回され、片方の側脚 3 0 a には巻き上げ線 5 b が巻回され、他の片方の側脚 3 0 b には回生巻線 5 c が巻回されている。これにより、磁束は中央脚 3 0 c で作られ双方の側脚 3 0 a、3 0 b に等しく分配される。このように、コア 3 0 に同一厚みのギャップ 3 3 a、3 3 b、3 3
20 c を設けたことで、中央脚 3 0 c の断面積を 1 とすると、双方の側脚 3 0 a、3 0 b とともに断面積は $1/2$ となる。また、昇圧巻線 5 a、巻き上げ線 5 b 及び昇圧巻線 5 a、回生巻線 5 c の磁気結合が疎となるため、大きなリーケージインダクタンスが得られ、これらのリーケージインダクタンスで L 2、L 3 が構成できる。

25 また、各ギャップ 3 3 a、3 3 b、3 3 c に、各巻線 5 a、5 b、5 c に流れる電流に応じて透磁率が変化する磁性体を設けることができる。そのような磁性体としては、例えば、プラスチックの中にフェライト等の磁性体粉末を混合したプラスチック磁性体などを用いればよい。これによって、小型で磁気飽和しにくい昇圧リアクトルを製作することができる。

次にこのように構成された第3の実施の形態に係る力率改善回路の動作を図15乃至図17に示すタイミングチャートを参照しながら説明する。図15は第3の実施の形態に係る力率改善回路の各部における信号のタイミングチャートである。図16は第3の実施の形態に係る力率改善回路のスイッチQ1のターンオン時の各部における信号のタイミングチャートである。図17は第3の実施の形態に係る力率改善回路のスイッチQ1のターンオフ時の各部における信号のタイミングチャートである。

なお、図15乃至図17では、スイッチQ1の両端間の電圧 $Q1v$ 、スイッチQ1に流れる電流 $Q1i$ 、ダイオードD1に流れる電流 $D1i$ 、ダイオードD2に流れる電流 $D2i$ 、ダイオードD3に流れる電流 $D3i$ 、ダイオードD4に流れる電流 $D4i$ 、ダイオードD5に流れる電流 $D5i$ 、スナバコンデンサC2の両端電圧 $Vc2$ を示している。Q1制御信号 $Q1g$ はスイッチQ1のゲートに印加される信号を示している。

まず、時刻 $t2$ ($t21$)において、スイッチQ1をオンさせると、交流電源電圧 Vi を整流した電圧により、 $Vac1 \rightarrow B1 \rightarrow 5a \rightarrow Q1 \rightarrow R \rightarrow B1 \rightarrow Vac1$ で電流 $Q1i$ が流れる。スイッチQ1の電流 $Q1i$ はゼロから始まるので、スイッチQ1はZCS動作となる。

このとき、同時にスナバコンデンサC2の電荷が $C2 \rightarrow D4 \rightarrow 5c \rightarrow L3 \rightarrow C3 \rightarrow L2 \rightarrow 5b \rightarrow Q1 \rightarrow C2$ で放出されて、電流 $D4i$ が流れる。このため、昇圧リアクトルL1の回生巻線5c及び巻き上げ巻線5bを介して昇圧リアクトルL1と回生コンデンサC3とにエネルギーが蓄えられる。即ち、スナバコンデンサC2の電荷が昇圧リアクトルL1と回生コンデンサC3とに回収される。

回生コンデンサC3の容量は、昇圧リアクトルL1の回生巻線5cの電圧がスナバコンデンサC2の電圧に加わるため、ほぼ同一の容量でスナバコンデンサC2の両端電圧 $Vc2$ をゼロまで放電することができる。このため、両端電圧 $Vc2$ は、減少していき時刻 $t23$ でゼロになる。

次に、時刻 $t3$ ($t31$)において、スイッチQ1をオフさせると、昇圧リアクトルL1のエネルギーにより、時刻 $t32$ において、電流 $D2i$ がダイオードD2を介して平滑コンデンサC1に流れて負荷 RL に電力が供給

される。また、昇圧リアクトル L_1 のエネルギーにより、時刻 t_{33} において、電流 D_{1i} がダイオード D_1 を介して平滑コンデンサ C_1 に流れて負荷 R_L に電力が供給される。

また、時刻 t_{31} から時刻 t_{33} において、回生コンデンサ C_3 のエネルギーにより、 $5a \rightarrow 5b \rightarrow L_2 \rightarrow C_3 \rightarrow D_5 \rightarrow C_1 \rightarrow R \rightarrow B_1 \rightarrow Vac_1 \rightarrow B_1 \rightarrow 5a$ で電流 D_{5i} が流れて負荷 R_L に電力が供給される。

また、時刻 t_{31} から時刻 t_{32} において、昇圧リアクトル L_1 のエネルギーにより、ダイオード D_3 を介してスナバコンデンサ C_2 が充電されるため、スナバコンデンサ C_2 の電圧 V_{c2} がゼロから上昇する。このため、スイッチ Q_1 の電圧 Q_1v もゼロから緩やかに立ち上がるため、スイッチ Q_1 がオフした時に ZVS 動作となる。従って、スイッチ Q_1 のオフ時の損失を軽減するとともにノイズの発生も軽減できる。図17では、スイッチ Q_1 がオフした時に ZVS 動作が達成されていることがわかる。

このように第3の実施の形態に係る力率改善回路によれば、スイッチ Q_1 をオン時に ZCS を行わせ、同時にスナバコンデンサ C_2 の電荷を回収させ、スイッチ Q_1 をオフした時に ZVS を行わせることにより、整流ダイオードのリカバリーによる損失を低減させ、電流の変化を緩やかにすることにより、高効率、低ノイズのスイッチング動作を行わせることができる。

また、スイッチ Q_1 をオンした時に、 ZCS リアクトル L_2 及び減流リアクトル L_3 により、電流を制限することができるため、ピークの小さい電流となる。

即ち、スパイク電圧 RC が減少し、ダイオードの損失を軽減できる。また、減流リアクトル L_3 を ZCS リアクトル L_2 より大きくすることにより、スイッチ Q_1 をオンした時のダイオード D_1 の逆バイアス電圧(スパイク電圧 RC)をさらに減少させることができる。

なお、図13に示す第3の実施の形態では、第2の実施の形態の構成に、さらに回生巻線 $5c$ 、減流リアクトル L_3 、回生コンデンサ C_3 、ダイオード $D_3 \sim D_6$ 、スナバコンデンサ C_2 の新たな構成を追加したが、第3の実施の形態の変形例として、第1の実施の形態の構成に、さらに回生巻線 $5c$ 、

減流リアクトル L_3 、回生コンデンサ C_3 、ダイオード $D_3 \sim D_6$ 、スナバコンデンサ C_2 の新たな構成を追加しても同様な効果が得られる。

図18は、第3の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。この実施例の力率改善回路は、図13に示す第3の実施の形態に係る力率改善回路の構成に、さらに、コンデンサ C_{X1} 、ダイオード D_{X1} 、ダイオード D_{X2} を追加し、ダイオードリカバリーによる損失(すなわち、ダイオード D_1 のリカバリー時に発生するスパイク電流やスパイク電流)を低減したことを特徴とする。

なお、その他の構成は、図13に示す第3の実施の形態に係る力率改善回路の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

次に、このように構成された第3の実施の形態に係るその他の実施例の力率改善回路の動作を説明する。

スイッチ Q_1 がターンオンするとダイオード D_1 のリカバリーにより、 $C_1 \rightarrow D_1 \rightarrow L_2 \rightarrow 5b \rightarrow Q_1 \rightarrow C_1$ の経路で電流が流れ、ダイオード D_1 のリカバリーが終了するとこの電流は遮断される。このとき、ZCSリアクトル L_2 にダイオード D_1 を逆バイアスする方向に電圧が発生する。この電圧により、 $L_2 \rightarrow 5b \rightarrow Q_1 \rightarrow D_{X1} \rightarrow C_{X1} \rightarrow L_2$ の経路で電流が流れ、コンデンサ C_{X1} に電荷を蓄える。そして、スイッチ Q_1 がターンオフすると、 $V_{ac1} \rightarrow B_1 \rightarrow L_1 \rightarrow L_2 \rightarrow C_{X1} \rightarrow D_{X2} \rightarrow C_1 \rightarrow R \rightarrow B_1 \rightarrow V_{ac1}$ の経路で電流が流れこの電荷を負荷に還流させる。

このようにして、第3の実施の形態に係る力率改善回路のその他の実施例によれば、第3の実施の形態に係る力率改善回路の効果に加えて、ダイオードリカバリーによる損失をさらに低減することができる。

(第4の実施の形態)

図19は第4の実施の形態に係る力率改善回路を示す回路構成図である。図19に示す第4の実施の形態に係る力率改善回路は、図13に示す第3の実施の形態に係る力率改善回路の回生巻線 $5c$ 、減流リアクトル L_3 に代えて、コンデンサ C_4 を用いた点異なる。即ち、ダイオード D_3 とスナバコンデンサ C_2 との接続点とダイオード D_1 のアノードとの間には、ダイオー

ドD4とコンデンサC4と回生コンデンサC3とからなる第4直列回路が接続されている。

なお、図19に示すその他の構成は、図13に示す構成と同一構成であり、同一部分には同一符号を付し、その詳細な説明は省略する。

5 このように構成された第4の実施の形態に係る力率改善回路の動作は、第3の実施の形態に係る力率改善回路の動作で説明した図15乃至図17に示すタイミングチャートと同様なタイミングチャートで動作する。従って、第3の実施の形態に係る力率改善回路の効果と同様な効果が得られる。

10 但し、コンデンサC2の放電電流の減流はZCSリアクトルL2のみで行なわれるため、スイッチQ1がオン時にピーク電流が大きくなる。

15 なお、図19に示す第4の実施の形態では、第2の実施の形態の構成に、さらにコンデンサC4、回生コンデンサC3、ダイオードD3～D6、スナバコンデンサC2の新たな構成を追加したが、第4の実施の形態の変形例として、第1の実施の形態の構成に、さらにコンデンサC4、回生コンデンサC3、ダイオードD3～D6、スナバコンデンサC2の新たな構成を追加しても同様な効果が得られる。

20 図20は、第4の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。この実施例の力率改善回路は、図20は、図19に示す第4の実施の形態に係る力率改善回路の構成に、さらに、コンデンサCX1、ダイオードDX1、ダイオードDX2を追加し、ダイオードリカバリーによる損失（すなわち、ダイオードD1のリカバリー時に発生するスパイク電流やスパイク電流）を低減したことを特徴とする。

25 なお、その他の構成は、図19に示す第4の実施の形態に係る力率改善回路の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

次に、このように構成された第4の実施の形態に係るその他の実施例の力率改善回路の動作を説明する。

30 スイッチQ1がターンオンするとダイオードD1のリカバリーにより、C1→D1→L2→5b→Q1→C1の経路で電流が流れ、ダイオードD1のリカバリーが終了するとこの電流は遮断される。このとき、ZCSリアクト

L 2 に D 1 を逆バイアスする方向に電圧が発生する。この電圧により、L 2
→ 5 b → Q 1 → D X 1 → C X 1 → L 2 の経路で電流が流れ、コンデンサ C X
1 に電荷を蓄える。そして、スイッチ Q 1 がターンオフすると、V a c 1 →
B 1 → L 1 → L 2 → C X 1 → D X 2 → C 1 → R → B 1 → V a c 1 の経路で
5 電流が流れこの電荷を負荷に還流させる。

このようにして、第 4 の実施の形態に係る力率改善回路のその他の実施例
によれば、第 4 の実施の形態に係る力率改善回路の効果に加えて、ダイオー
ドリカバリーによる損失をさらに低減することができる。

(第 5 の実施の形態)

10 第 5 の実施の形態に係る力率改善回路は、第 2 の実施の形態に係る力率改
善回路に対して制御回路 1 0 a の構成のみが異なり、交流電源電圧値に応じ
て主スイッチのスイッチング周波数を変化させ、交流電源電圧の低い部分で
のスイッチング周波数を低下又はスイッチング動作を停止させ、交流電源電
圧の低い部分の電力損失を低減して、小型、高効率、低ノイズ化したことを
15 特徴とする。

(第 1 実施例)

第 1 実施例では、交流電源電圧が下限設定電圧以下の場合に主スイッチの
スイッチング周波数を下限周波数（例えば 2 0 K H z ）に設定し、交流電源
電圧が上限設定電圧以上の場合に主スイッチのスイッチング周波数を上限
20 周波数（例えば 1 0 0 K H z ）に設定し、交流電源電圧が下限設定電圧から
上限設定電圧までの範囲の場合に主スイッチのスイッチング周波数を下限
周波数から上限周波数まで徐々に変化させることを特徴とする。

図 2 1 は第 5 の実施の形態に係る力率改善回路の第 1 実施例を示す回路
構成図である。図 2 2 は第 5 の実施の形態に係る力率改善回路の第 1 実施例
25 の交流電源電圧波形とスイッチング周波数のタイミングチャートである。図
2 2 は、交流電源電圧 V i がゼロから最大値まで変化した場合に、スイッチ
Q 1 のスイッチング周波数 f がゼロから例えば 1 0 0 K H z まで変化する
ことを示している。

図 2 3 では、図 2 2 に示すタイミングチャートの A 部（交流電源電圧 V i
30 が最大値付近）における 1 0 0 K H z のスイッチング波形を示している。図

23に示すタイミングチャートは、スイッチング周波数 f が100kHzであり、図5に示すタイミングチャートと同じである。図24では、図22に示すタイミングチャートのB部（交流電源電圧 V_i が低い部分）における20kHzのスイッチング波形を示している。

- 5 なお、図21に示すその他の構成は、図10に示す構成と同一構成であるので、同一部分には同一符号を付し、その詳細な説明は省略する。

制御回路10aは、誤差増幅器111、乗算器112、誤差増幅器113、
電圧制御発振器（VCO）115、PWMコンパレータ116を有して構成
される。なお、誤差増幅器111、乗算器112、誤差増幅器113及びP
10 WMコンパレータ116は、図10に示すものと同じであるので、それらの
説明は省略する。

VCO115（本発明の周波数制御手段に対応）は、全波整流回路B1か
らの全波整流電圧の電圧値に応じてスイッチQ1のスイッチング周波数 f
を変化させた三角波信号（本発明の周波数制御信号に対応）を生成するもの
15 で、全波整流回路B1からの全波整流電圧が増加するに従ってスイッチQ1
のスイッチング周波数 f が増加する電圧周波数変換特性を有している。

図25は第5の実施の形態に係る力率改善回路の第1実施例に設けられ
たVCOの詳細な回路構成図である。VCO115において、全波整流回路
B1の正極側出力端P1に抵抗R1が接続され、抵抗R1に直列に抵抗R2
20 が接続されている。抵抗R1と抵抗R2との接続点にはツェナーダイオード
ZDのカソードが接続され、ツェナーダイオードZDのアノードは制御電源
EBの正極及びヒステリシスコンパレータ115aの電源端子bに接続さ
れている。抵抗R1と抵抗R2との接続点はヒステリシスコンパレータ11
5 5aの入力端子aに接続され、ヒステリシスコンパレータ115aの接地端
25 子cは制御電源EBの負極と抵抗R2の他端に接続されている。ヒステリシ
スコンパレータ115aの出力端子dはPWMコンパレータ116の一端
子に接続されている。ヒステリシスコンパレータ115aは、図27に示す
ように、入力端子aに印加される電圧 E_a が増加するに従ってスイッチQ1
30 のスイッチング周波数 f が増加する電圧周波数変換特性CVを有した三角
波信号を発生する。

図 2 5 に示す V C O 1 1 5 では、図 2 3 に示す交流電源電圧 V_i が最大値付近 (A 部) に達したとき、ツェナーダイオード Z D が降伏するので、入力端子 a に印加される電圧 E_a は、ツェナーダイオード Z D の降伏電圧 V_Z と制御電源電圧 E_B との合計電圧 ($V_Z + E_B$)、即ち上限設定電圧に設定される。また、交流電源電圧 V_i が低い部分 (B 部) に達したとき、制御電源 E_B からツェナーダイオード Z D を介して抵抗 R_2 に電流が流れるので、入力端子 a に印加される電圧 E_a は、制御電源電圧 E_B 、即ち下限設定電圧に設定される。さらに、交流電源電圧 V_i が最大値付近と低い部分までの範囲の場合には、入力端子 a に印加される電圧 E_a は、合計電圧 ($V_Z + E_B$) と制御電源電圧 E_B との範囲で徐々に変化する。

このため、図 2 7 に示すように、交流電源電圧 V_i が下限設定電圧 E_B 以下の場合にスイッチ Q 1 のスイッチング周波数 f を下限周波数 f_{12} (例えば 20 KHz) に設定し、交流電源電圧 V_i が上限設定電圧 ($V_Z + E_B$) 以上の場合にスイッチ Q 1 のスイッチング周波数 f を上限周波数 f_{11} (例えば 100 KHz) に設定し、交流電源電圧 V_i が下限設定電圧 E_B から上限設定電圧 ($V_Z + E_B$) までの範囲の場合にスイッチ Q 1 のスイッチング周波数 f を下限周波数 f_{12} から上限周波数 f_{11} まで徐々に変化させるようになっている。

PWM コンパレータ 1 1 6 (本発明のパルス幅制御手段に対応) は、V C O 1 1 5 からの三角波信号が - 端子に入力され、誤差増幅器 1 1 3 からのフィードバック信号 F B が + 端子に入力され、図 2 8 に示すように、フィードバック信号 F B の値が三角波信号の値以上のときにオンで、フィードバック信号 F B の値が三角波信号の値未満のときにオフとなるパルス信号を生成し、該パルス信号をスイッチ Q 1 に印加して平滑コンデンサ C 1 の出力電圧を所定電圧に制御する。

また、PWM コンパレータ 1 1 6 は、平滑コンデンサ C 1 の出力電圧が基準電圧 E_1 に達して、フィードバック信号 F B が低下すると、フィードバック信号 F B の値が三角波信号の値以上となるパルスオン幅を短くすることによって、出力電圧を所定電圧に制御する。即ち、パルス幅を制御している。

なお、VCO115からの三角波信号の電圧の最大値、最小値は、周波数により変化しない。このため、誤差増幅器113のフィードバック信号FBにより、周波数に関係なく、パルス信号のオン／オフのデューティ比が決定されるようになっている。また、スイッチング周波数fが変わることで、パルス信号のオン幅が変わっても、パルス信号のオン／オフのデューティ比は変わらない。

次に、このように構成された第5の実施の形態に係る力率改善回路の第1実施例の動作を図22乃至図28を参照しながら説明する。ここでは、制御回路10aの動作についてのみ説明する。

10 まず、誤差増幅器111は、平滑コンデンサC1の電圧と基準電圧E1との誤差を増幅して、誤差電圧信号を生成して乗算器112に出力する。乗算器112は、誤差増幅器111からの誤差電圧信号と全波整流回路B1の正極側出力端P1からの全波整流電圧とを乗算して乗算出力電圧を誤差増幅器113の+端子に出力する。

15 次に、誤差増幅器113は、電流検出抵抗R（本発明の電流検出手段に対応）による電圧と乗算出力電圧との誤差を増幅して、誤差電圧信号を生成してこの誤差電圧信号をフィードバック信号FBとしてPWMコンパレータ116に出力する。

20 一方、VCO115は、全波整流回路B1からの全波整流電圧の電圧値に応じてスイッチQ1のスイッチング周波数fが変化した三角波信号を生成する。

25 ここで、図26のタイミングチャートを用いて説明すると、交流電源電圧Viが最大値付近（例えば時刻t2～t3、時刻t6～t7）に達したときには、図25に示すツェナーダイオードZDが降伏するので、入力端子aに印加される電圧Eaは、ツェナーダイオードZDの降伏電圧VZと制御電源電圧EBとの合計電圧（VZ+EB）、即ち上限設定電圧に設定される。このため、交流電源電圧Viが上限設定電圧（VZ+EB）以上の場合には、VCO115により、スイッチQ1のスイッチング周波数fは、上限周波数f11（例えば100KHz）に設定される。

次に、交流電源電圧 V_i が低い部分（例えば時刻 $t_0 \sim t_1$ 、時刻 $t_4 \sim t_5$ ）に達したときには、図 25 に示す制御電源 E_B からツェナーダイオード ZD を介して抵抗 R_2 に電流が流れるので、入力端子 a に印加される電圧 E_a は、制御電源電圧 E_B 、即ち下限設定電圧に設定される。このため、交流電源電圧 V_i が下限設定電圧 E_B 以下の場合には、 $VCO115$ により、スイッチ Q_1 のスイッチング周波数 f は、下限周波数 f_{12} （例えば 20 KHz ）に設定される。

さらに、交流電源電圧 V_i が最大値付近と低い部分までの範囲（例えば時刻 $t_1 \sim t_2$ 、時刻 $t_3 \sim t_4$ 、時刻 $t_5 \sim t_6$ ）の場合には、入力端子 a に印加される電圧 E_a は、合計電圧（ $V_Z + E_B$ ）と制御電源電圧 E_B との範囲で徐々に変化する。このため、交流電源電圧 V_i が下限設定電圧 E_B から上限設定電圧（ $V_Z + E_B$ ）までの範囲の場合には、スイッチ Q_1 のスイッチング周波数 f は下限周波数 f_{12} から上限周波数 f_{11} まで徐々に変化する。

次に、交流電源電圧 V_i が最大値付近（例えば時刻 $t_2 \sim t_3$ 、時刻 $t_6 \sim t_7$ ）の場合には、PWMコンパレータ 116 は、図 28 に示すように、フィードバック信号 FB の値が上限周波数 f_{11} を持つ三角波信号の値以上のときにオンで、フィードバック信号 FB の値が上限周波数 f_{11} を持つ三角波信号の値未満のときにオフとなる上限周波数 f_{11} を持つパルス信号を生成し、該パルス信号をスイッチ Q_1 に印加する。

一方、交流電源電圧 V_i が低い部分（例えば時刻 $t_0 \sim t_1$ 、時刻 $t_4 \sim t_5$ ）の場合には、PWMコンパレータ 116 は、図 28 に示すように、フィードバック信号 FB の値が下限周波数 f_{12} を持つ三角波信号の値以上のときにオンで、フィードバック信号 FB の値が下限周波数 f_{12} を持つ三角波信号の値未満のときにオフとなる下限周波数 f_{12} を持つパルス信号を生成し、該パルス信号をスイッチ Q_1 に印加する。

また、交流電源電圧 V_i が最大値付近と低い部分までの範囲（例えば時刻 $t_1 \sim t_2$ 、時刻 $t_3 \sim t_4$ 、時刻 $t_5 \sim t_6$ ）の場合には、PWMコンパレータ 116 は、下限周波数 f_{12} から上限周波数 f_{11} までの範囲で徐々

に変化する周波数を持つパルス信号を生成し、該パルス信号をスイッチQ1に印加する。

このように、第1実施例によれば、第2の実施の形態に係る力率改善回路の効果が得られるとともに、交流電源電圧 V_i に応じてスイッチQ1のスイッチング周波数 f を変化させ、交流電源電圧 V_i の低い部分でのスイッチング周波数 f を低下させることで、図24に示すように、スイッチQ1のオン時間も長くなり、電流も増加し負荷 R_L に電力を供給できる。また、スイッチング回数が減少するため、スイッチング損失も低減できる。

特に、スイッチQ1のスイッチング周波数 f として例えば100kHzを上限周波数とし、人間の聞こえない周波数、例えば20kHzを下限周波数とし、他の部分を交流電源電圧 V_i にスイッチング周波数 f を比例させたので、スイッチング損失を低減でき、また、可聴周波数以下となり、不快な騒音を発生することもない。

また、磁束は電流に比例するため、交流電源電圧 V_i の最大値の時（電流も最大）に最大周波数とし、他の部分は交流電源電圧 V_i に比例させて周波数を変化させても、昇圧リアクトル L_1 の磁束は最大値を上回ることとはなく、昇圧リアクトル L_1 は大型化せず、スイッチング損失を低減できる。

また、スイッチQ1のスイッチング周波数 f が下限周波数から上限周波数までの範囲に互るので、発生するノイズも周波数に対して分散するから、ノイズを低減できる。このため、小型、高効率、低ノイズ化できる力率改善回路を提供できる。

（第2実施例）

図29は第5の実施の形態に係る力率改善回路の第2実施例の交流電源電圧波形とVCOにより変化するスイッチング周波数のタイミングチャートである。

図26に示す第1実施例では、交流電源電圧 V_i が低い部分に達したときに、VCO115により、スイッチQ1のスイッチング周波数 f を下限周波数 f_{12} （例えば20kHz）に設定したが、図29に示す第2実施例では、交流電源電圧 V_i が低い部分の場合で、下限周波数 f_{12} 未満では、VCO115により、主スイッチQ1の動作を停止させたことを特徴とする。この

停止部分では、入力電流も少ないため、交流電源電流波形の歪みも最低限に抑えられる。

(第3実施例)

第3実施例では、交流電源電圧が設定電圧以下の場合に主スイッチのスイッチング周波数を下限周波数(例えば20KHz)に設定し、交流電源電圧が設定電圧を超えた場合に主スイッチのスイッチング周波数を上限周波数(例えば100KHz)に設定したことを特徴とする。

図30は第5の実施の形態に係る力率改善回路の第3実施例のVCOの詳細な回路構成図である。図30に示すVCO115Aにおいて、全波整流回路B1の正極側出力端P1に抵抗R1が接続され、抵抗R1に直列に抵抗R2が接続されている。コンパレータ115bは、抵抗R1と抵抗R2との接続点の電圧を+端子に入力し、基準電圧 E_{r1} を-端子に入力し、抵抗R1と抵抗R2との接続点の電圧が基準電圧 E_{r1} よりも大きいときHレベルをトランジスタTR1のベースに出力する。この場合、基準電圧 E_{r1} を前記設定電圧に設定する。

トランジスタTR1のエミッタは接地され、トランジスタTR1のコレクタは、抵抗R3を介してトランジスタTR2のベースと抵抗R4の一端と抵抗R5の一端とに接続されている。抵抗R4の他端は電源VBに接続され、抵抗R5の他端は接地されている。トランジスタTR2のエミッタは抵抗R6を介して電源VBに接続され、トランジスタTR2のコレクタはコンデンサCを介して接地されている。

コンパレータ115cにヒステリシスを持たせるために、+端子と出力端子との間には、抵抗R9を接続し、+端子は、抵抗R8を介して接地されるとともに、抵抗R10を介して電源VBに接続されている。

コンパレータ115cは、コンデンサCの電圧を-端子に入力している。また、コンデンサCの放電に、出力端子からダイオードD及び抵抗R7の直列回路が-端子に接続されている。図31に示すように、交流電源電圧 V_i が設定電圧以下の場合にスイッチQ1のスイッチング周波数 f を下限周波数 f_{12} に設定した三角波信号を生成し、交流電源電圧 V_i が設定電圧を超

えた場合にスイッチQ1のスイッチング周波数 f を上限周波数 f_{11} に設定した三角波信号を生成する。

次に、このように構成された第5の実施の形態に係る力率改善回路の第3実施例の動作を図30及び図31を参照しながら説明する。ここでは、VCO115Aの動作についてのみ説明する。

まず、VCO115Aは、全波整流回路B1からの全波整流電圧の電圧値に応じてスイッチQ1のスイッチング周波数 f が変化した三角波信号を生成する。

ここで、図31のタイミングチャートを用いて説明すると、交流電源電圧 V_i が設定電圧を超えた場合（例えば時刻 $t_2 \sim t_3$ 、時刻 $t_5 \sim t_6$ ）、コンパレータ115bからのHレベルによりトランジスタTR1がオンする。このため、電源VBから抵抗R4及びトランジスタTR2のベースを介して抵抗R3に電流が流れるため、トランジスタTR2のコレクタ電流が増大する。すると、トランジスタTR2のコレクタに流れる電流によりコンデンサCが短時間で充電される。即ち、コンデンサCの電圧 E_c が上昇して、この電圧 E_c がコンパレータ115cに入力されるため、コンパレータ115cは、スイッチQ1のスイッチング周波数 f を上限周波数 f_{11} （例えば100KHz）に設定した三角波信号を生成する。

一方、交流電源電圧 V_i が設定電圧以下の場合（例えば時刻 $t_0 \sim t_2$ 、時刻 $t_3 \sim t_5$ ）、コンパレータ115bからHレベルは出力されないため、トランジスタTR1はオフとなる。このため、トランジスタTR2のコレクタ電流が減少するため、コンデンサCの充電時間は長くなる。即ち、コンデンサCの電圧 E_c はゆるやかに上昇して、この電圧 E_c がコンパレータ115cに入力されるため、コンパレータ115cは、スイッチQ1のスイッチング周波数 f を下限周波数 f_{12} （例えば20KHz）に設定した三角波信号を生成する。

次に、交流電源電圧 V_i が設定電圧を超えた場合（例えば時刻 $t_2 \sim t_3$ 、時刻 $t_5 \sim t_6$ ）、PWMコンパレータ116は、フィードバック信号FBの値が上限周波数 f_{11} を持つ三角波信号の値以上のときにオンで、フィードバック信号FBの値が上限周波数 f_{11} を持つ三角波信号の値未満のと

きにオフとなる上限周波数 f_{11} を持つパルス信号を生成し、パルス信号をスイッチ Q_1 に印加する。

一方、交流電源電圧 V_i が設定電圧以下の場合（例えば時刻 $t_0 \sim t_2$ 、時刻 $t_3 \sim t_5$ ）、PWMコンパレータ 116 は、フィードバック信号 F_B の値が下限周波数 f_{12} を持つ三角波信号の値以上のときにオンで、フィードバック信号 F_B の値が下限周波数 f_{12} を持つ三角波信号の値未満のときにオフとなる下限周波数 f_{12} を持つパルス信号を生成し、パルス信号をスイッチ Q_1 に印加する。

このように第 3 実施例によれば、交流電源電圧が設定電圧以下の場合にスイッチ Q_1 のスイッチング周波数を下限周波数に設定し、交流電源電圧が設定電圧を超えた場合にスイッチ Q_1 のスイッチング周波数を上限周波数に設定しても、第 1 実施例の効果とほぼ同等な効果が得られる。

なお、第 5 の実施の形態では、第 2 の実施の形態の制御回路 10 を制御回路 10a に変更した力率改善回路であるが、本発明は、第 5 の実施の形態の第 1 変形例として、第 1 の実施の形態の制御回路 10 を制御回路 10a に変更した力率改善回路にも適用できる。また、本発明は、第 5 の実施の形態の第 2 変形例として、第 3 の実施の形態の制御回路 10 を制御回路 10a に変更した力率改善回路にも適用できる。

（その他の実施例）

図 3 2 は、第 5 の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。この実施例の力率改善回路は、図 3 2 は、図 2 1 に示す第 5 の実施の形態に係る力率改善回路の構成に、さらに、コンデンサ C_X1 、ダイオード D_X1 、ダイオード D_X2 を追加し、ダイオードリカバリーによる損失（すなわち、ダイオード D_1 のリカバリー時に発生するスパイク電流やスパイク電流）を低減したことを特徴とする。

なお、その他の構成は、図 2 1 に示す第 5 の実施の形態に係る力率改善回路の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

次に、このように構成された第 5 の実施の形態に係るその他の実施例の力率改善回路の動作を説明する。

スイッチQ1がターンオンするとダイオードD1のリカバリーにより、C1→D1→L2→5b→Q1→C1の経路で電流が流れ、ダイオードD1のリカバリーが終了するとこの電流は遮断される。このとき、ZCSリアクトL2にD1を逆バイアスする方向に電圧が発生する。この電圧により、L2
5 →5b→Q1→DX1→CX1→L2の経路で電流が流れ、コンデンサCX1に電荷を蓄える。そして、スイッチQ1がターンオフすると、Vac1→B1→L1→L2→CX1→DX2→C1→R→B1→Vac1の経路で電流が流れこの電荷を負荷に還流させる。

このようにして、第5の実施の形態に係る力率改善回路のその他の実施例
10 によれば、第5の実施の形態に係る力率改善回路の効果に加えて、ダイオードリカバリーによる損失をさらに低減することができる。

(第6の実施の形態)

次に第6の実施の形態に係る力率改善回路を説明する。第1乃至第5の実施の形態に係る力率改善回路では、主スイッチとして、ノーマリオフタイプのMOS FET等を用いた。このノーマリオフタイプのスイッチは、電源
15 がオフ時にオフ状態となるスイッチである。

一方、SIT (static induction transistor、静電誘導トランジスタ) 等のノーマリオンタイプのスイッチは、電源がオフ時にオン状態となるスイッチである。このノーマリオンタイプのスイッチは、スイッチングスピード
20 が速く、オン抵抗も低くスイッチング電源等の電力変換装置に使用した場合、理想的な素子であり、スイッチング損失を減少させ高効率が可能である。

しかし、ノーマリオンタイプのスイッチング素子にあっては、電源をオンすると、スイッチがオン状態であるため、スイッチが短絡する。このため、ノーマリオンタイプのスイッチを起動できず、特殊な用途以外には使用できない。
25

そこで、第6の実施の形態に係る力率改善回路は、第2の実施の形態に係る力率改善回路の構成を有すると共に、スイッチQ1にノーマリオンタイプのスイッチを使用するために、交流電源オン時に、コンデンサの突入電流を軽減する目的で挿入されている突入電流制限抵抗の電圧降下による電圧を、

ノーマリオンタイプのスイッチの逆バイアス電圧に使用し、電源オン時の問題をなくす構成を追加したことを特徴とする。

図 3 3 は第 6 の実施の形態に係る力率改善回路を示す回路構成図である。図 3 3 に示す力率改善回路は、図 1 0 に示す第 2 の実施の形態に係る力率改善回路の構成を有すると共に、交流電源 V_{ac1} から入力される交流電源電圧を全波整流回路 B 1 で整流して、得られた電圧を別の直流電圧に変換して出力するもので、全波整流回路 B 1 の負極側出力端 P 2 と電流検出抵抗 R との間には、突入電流制限抵抗 R 1 が接続されている。

全波整流回路 B 1 の正極側出力端 P 1 には、昇圧リアクトル L 1 の昇圧巻線 5 a を介して S 1 T 等のノーマリオンタイプのスイッチ Q 1 n が接続され、スイッチ Q 1 n は、制御回路 1 1 の PWM 制御によりオン／オフする。

また、突入電流制限抵抗 R 1 の両端にはスイッチ S 1 が接続されている。このスイッチ S 1 は、例えばノーマリオフタイプの MOS FET, B J T (バイポーラ接合トランジスタ) 等の半導体スイッチであり、制御回路 1 1 からの短絡信号によりオン制御される。

突入電流制限抵抗 R 1 の両端には、コンデンサ C 6 と抵抗 R 2 とダイオード D 5 とからなる起動電源部 1 2 が接続されている。この起動電源部 1 2 は、突入電流制限抵抗 R 1 の両端に発生する電圧を取り出し、コンデンサ C 6 の両端電圧をスイッチ Q 1 n のゲートへの逆バイアス電圧として使用するために、制御回路 1 1 に出力する。また、平滑コンデンサ C 1 に充電された充電電圧を制御回路 1 1 に供給する。

制御回路 1 1 は、交流電源 V_{ac1} をオンしたときに、コンデンサ C 6 から供給された電圧により起動し、制御信号として端子 b からスイッチ Q 1 n のゲートに逆バイアス電圧を出力し、スイッチ Q 1 n をオフさせる。この制御信号は、例えば、 -1.5 V と 0 V とのパルス信号からなり、 -1.5 V の電圧によりスイッチ Q 1 n がオフし、 0 V の電圧によりスイッチ Q 1 n がオンする。

制御回路 1 1 は、平滑コンデンサ C 1 の充電が完了した後、端子 b から制御信号として 0 V と -1.5 V とのパルス信号をスイッチ Q 1 n のゲートに出力し、スイッチ Q 1 n をスイッチング動作させる。制御回路 1 1 は、スイ

ツチ $Q1n$ をスイッチング動作させた後、所定時間経過後にスイッチ $S1$ のゲートに短絡信号を出力し、スイッチ $S1$ をオンさせる。

また、昇圧リアクトル $L1$ に設けられた補助巻線 $5d$ の一端は、スイッチ $Q1n$ の一端とコンデンサ $C7$ の一端と制御回路 11 とに接続され、補助巻線 $5d$ の他端は、ダイオード $D7$ のカソードに接続され、ダイオード $D7$ のアノードはコンデンサ $C7$ の他端及び制御回路 11 の端子 c に接続されている。補助巻線 $5d$ とダイオード $D7$ とコンデンサ $C7$ とは通常動作電源部 13 を構成し、この通常動作電源部 13 は、補助巻線 $5d$ で発生した電圧をダイオード $D7$ 及びコンデンサ $C7$ を介して制御回路 11 に供給する。

なお、制御回路 11 は、第2の実施の形態の制御回路 10 の機能も有している。ここでは、図面の複雑化を避けるために、制御回路 10 を構成している、誤差増幅器 111 、乗算器 112 、誤差増幅器 113 、OSC 114 、PWMコンパレータ 116 を省略した。

次にこのように構成された第6の実施の形態に係る力率改善回路の動作を図33乃至図35を参照しながら説明する。

なお、図35において、 V_{ac1} は、交流電源 V_{ac1} の交流電源電圧を示し、入力電流は、交流電源 V_{ac1} に流れる電流を示し、 $R1$ 電圧は、突入電流制限抵抗 $R1$ に発生する電圧を示し、 $C1$ 電圧は、平滑コンデンサ $C1$ の電圧を示し、 $C6$ 電圧は、コンデンサ $C6$ の電圧を示し、制御信号は、制御回路 11 の端子 b からスイッチ $Q1n$ のゲートへ出力される信号を示す。

まず、時刻 $t0$ において、交流電源 V_{ac1} を印加（オン）すると、交流電源 V_{ac1} の交流電源電圧は全波整流回路 $B1$ で全波整流される。このとき、ノーマリオンタイプのスイッチ $Q1n$ は、オン状態であり、スイッチ $S1$ は、オフ状態である。このため、全波整流回路 $B1$ からの電圧は、平滑コンデンサ $C1$ を介して突入電流制限抵抗 $R1$ に印加される（図34中の①）。

この突入電流制限抵抗 $R1$ に発生した電圧は、ダイオード $D5$ 、抵抗 $R2$ を介してコンデンサ $C6$ に蓄えられる（図34中の②）。ここで、コンデンサ $C6$ の端子 f 側が例えば零電位となり、コンデンサ $C6$ の端子 g 側が例えば負電位となる。このため、コンデンサ $C6$ の電圧は、図34に示すように、

負電圧（逆バイアス電圧）となる。このコンデンサC 6の負電圧が端子aを介して制御回路1 1に供給される。

そして、コンデンサC 6の電圧が、スイッチQ 1 nのスレッシュホールド電圧THLになった時点（図3 5の時刻t 1）で、制御回路1 1は、端子bから-1 5 Vの制御信号をスイッチQ 1 nのゲートに出力する（図3 4中の③）。このため、スイッチQ 1 nは、オフ状態となる。

すると、全波整流回路B 1からの電圧により、平滑コンデンサC 1は、充電されて（図3 4中の④）、平滑コンデンサC 1の電圧が上昇していき、平滑コンデンサC 1の充電が完了する。

次に、時刻t 2において、制御回路1 1は、スイッチング動作を開始させる。

始めに、端子bから0 Vの制御信号をスイッチQ 1 nのゲートに出力する（図3 4中の⑤）。このため、スイッチQ 1 nは、オン状態となるため、全波整流回路B 1の正極側出力端P 1から昇圧リアクトルL 1の昇圧巻線5 aを介してスイッチQ 1 nに電流が流れて（図3 4中の⑥）、昇圧リアクトルL 1にエネルギーが蓄えられる。

また、昇圧リアクトルL 1と電磁結合している補助巻線5 dにも電圧が発生し、発生した電圧は、ダイオードD 7及びコンデンサC 7を介して制御回路1 1に供給される（図3 4中の⑦）。このため、制御回路1 1が動作を継続することができるので、スイッチQ 1 nのスイッチング動作を継続して行うことができる。

次に、時刻t 3において、端子bから-1 5 Vの制御信号をスイッチQ 1 nのゲートに出力する。このため、時刻t 3にスイッチQ 1 nがオフして、電流D 2 iがダイオードD 2を介して平滑コンデンサC 1に流れて負荷R Lに電力が供給される。また、ZCSリアクトルL 2に蓄えられたエネルギーにより電流D 1 iがダイオードD 1を介して平滑コンデンサC 1に流れて負荷R Lに電力が供給される。

また、時刻t 3に制御回路1 1から短絡信号をスイッチS 1に出力すると、スイッチS 1がオンして（図3 4中の⑧）、突入電流制限抵抗R 1の両端が短絡される。このため、突入電流制限抵抗R 1の損失を減ずることができる。

なお、時刻 t_3 は、交流電源 V_{ac1} をオンしたとき（時刻 t_0 ）からの経過時間として設定され、例えば平滑コンデンサ C_1 と突入電流制限抵抗 R_1 との時定数（ $\tau = C_1 \cdot R_1$ ）の約 5 倍以上の時間に設定される。以後、スイッチ Q_{1n} はオン／オフによるスイッチング動作を繰り返す。スイッチ Q_{1n} がスイッチング動作を開始した後は、スイッチ Q_{1n} は、図 3 に示す第 1 の実施の形態に係る力率改善回路のスイッチ Q_1 の動作、即ち、図 5 乃至図 7 に示すタイミングチャートに従った動作と同様に動作する。

このように第 6 の実施の形態に係る力率改善回路によれば、第 2 の実施の形態の効果が得られるとともに、制御回路 11 は、交流電源 V_{ac1} がオンされたときに突入電流制限抵抗 R_1 に発生した電圧によりスイッチ Q_{1n} をオフさせ、平滑コンデンサ C_1 が充電された後、スイッチ Q_{1n} をオン／オフさせるスイッチング動作を開始させるので、電源オン時における問題もなくなる。従って、ノーマリオンタイプの半導体スイッチが使用可能となり、損失の少ない、即ち、高効率な力率改善回路を提供することができる。

なお、第 6 の実施の形態は、第 2 の実施の形態の構成に図 3 3 に示すようなノーマリオン回路を追加したが、例えば、本発明は、第 1 の実施の形態の構成に図 3 1 に示すようなノーマリオン回路を追加してもよく、また、第 3 の実施の形態又は第 4 の実施の形態又は第 5 の実施の形態の構成に図 3 3 に示すようなノーマリオン回路を追加してもよい。

図 3 6 は、第 6 の実施の形態に係る力率改善回路のその他の実施例を示す回路構成図である。この実施例の力率改善回路は、図 3 6 は、図 3 3 に示す第 6 の実施の形態に係る力率改善回路の構成に、さらに、コンデンサ C_{X1} 、ダイオード D_{X1} 、ダイオード D_{X2} を追加し、ダイオードリカバリーによる損失（すなわち、ダイオード D_1 のリカバリー時に発生するスパイク電流やスパイク電流）を低減したことを特徴とする。

なお、その他の構成は、図 3 3 に示す第 6 の実施の形態に係る力率改善回路の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

次に、このように構成された第 6 の実施の形態に係るその他の実施例の力率改善回路の動作を説明する。

スイッチ $Q1n$ がターンオンするとダイオード $D1$ のリカバリーにより、 $C1 \rightarrow D1 \rightarrow L2 \rightarrow 5b \rightarrow Q1n \rightarrow C1$ の経路で電流が流れ、ダイオード $D1$ のリカバリーが終了するとこの電流は遮断される。このとき、ZCSリアクトル $L2$ に $D1$ を逆バイアスする方向に電圧が発生する。この電圧により、
5 $L2 \rightarrow 5b \rightarrow Q1n \rightarrow DX1 \rightarrow CX1 \rightarrow L2$ の経路で電流が流れ、コンデンサ $CX1$ に電荷を蓄える。そして、スイッチ $Q1n$ がターンオフすると、 $Vac1 \rightarrow B1 \rightarrow L1 \rightarrow L2 \rightarrow CX1 \rightarrow DX2 \rightarrow C1 \rightarrow R \rightarrow B1 \rightarrow Vac1$ の経路で電流が流れこの電荷を負荷に還流させる。

10 このようにして、第6の実施の形態に係る力率改善回路のその他の実施例によれば、第6の実施の形態に係る力率改善回路の効果に加えて、ダイオードリカバリーによる損失をさらに低減することができる。

産業上の利用可能性

15 以上説明したように、本発明によれば、スイッチがオン時にZCS動作となり、スイッチング損失が低減し、効率が向上する。また、スイッチがオン時にZCS動作となり、スイッチがオフ時にZVS動作となり、さらに、スイッチング損失が低減し、効率が向上する。また、スイッチングノイズも低減し、フィルタを小型化でき、小型、低ノイズ、高効率な昇圧型の力率改善回路を提供することができる。

請求の範囲

1. 交流電源の交流電源電圧を整流回路で整流した整流電圧を昇圧リアクトルを介して入力して主スイッチによりオン／オフして入力力率を改善するとともに、直流の出力電圧に変換する力率改善回路であって、

前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルに巻回された昇圧巻線及び巻き上げ巻線と第1ダイオードと平滑コンデンサとからなる第1直列回路と、

前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルの昇圧巻線とゼロ電流スイッチリアクトルと前記主スイッチとからなる第2直列回路と、

前記主スイッチと前記ゼロ電流スイッチリアクトルとの接続点と前記平滑コンデンサとの間に接続された第2ダイオードと、

前記主スイッチをオン／オフ制御することにより前記平滑コンデンサの出力電圧を所定電圧に制御する制御手段と、

を有することを特徴とする力率改善回路。

2. 交流電源の交流電源電圧を整流回路で整流した整流電圧を昇圧リアクトルを介して入力して主スイッチによりオン／オフして入力力率を改善するとともに、直流の出力電圧に変換する力率改善回路であって、

前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルに巻回された昇圧巻線及び巻き上げ巻線とゼロ電流スイッチリアクトルと第1ダイオードと平滑コンデンサとからなる第1直列回路と、

前記整流回路の一方の出力端と他方の出力端との間に接続され、前記昇圧リアクトルの昇圧巻線と前記主スイッチとからなる第2直列回路と、

前記昇圧リアクトルの昇圧巻線と巻き上げ巻線との接続点及び前記主スイッチと前記平滑コンデンサとの間に接続された第2ダイオードと、

前記主スイッチをオン／オフ制御することにより前記平滑コンデンサの出力電圧を所定電圧に制御する制御手段と、

を有することを特徴とする力率改善回路。

3. 前記主スイッチに並列に接続され、第3ダイオードとスナバコンデンサとからなる第3直列回路と、

5 前記第3ダイオードと前記スナバコンデンサとの接続点と前記第1ダイオードの一端との間に接続され、第4ダイオードと前記昇圧リアクトルに巻回された回生巻線と減流リアクトルと回生コンデンサとからなる第4直列回路と、

10 前記回生コンデンサと前記減流リアクトルとの接続点と前記第1ダイオードの他端と前記平滑コンデンサとの接続点との間に接続された第5ダイオードと、

をさらに有することを特徴とする請求項1又は請求項2記載の力率改善回路。

15 4. 前記ゼロ電流スイッチリアクトル及び前記減流リアクトルは、前記昇圧リアクトルの巻線間のリーケージインダクタからなることを特徴とする請求項2又は請求項3記載の力率改善回路。

20 5. 前記昇圧リアクトルは、前記昇圧巻線に対して、前記巻き上げ巻線及び前記回生巻線が疎結合となるようにコアに巻回されてなることを特徴とする請求項4記載の力率改善回路。

25 6. 前記昇圧リアクトルは、前記巻き上げ巻線と前記昇圧巻線及び前記回生巻線との間に磁束のバイパスルートを設けてなることを特徴とする請求項4又は請求項5記載の力率改善回路。

7. 前記主スイッチに並列に接続され、第3ダイオードとスナバコンデンサとからなる第3直列回路と、

30 前記第3ダイオードと前記スナバコンデンサとの接続点と前記第1ダイオードの一端との間に接続され、第4ダイオードとコンデンサと回生コンデンサとからなる第4直列回路と、

前記回生コンデンサと前記コンデンサとの接続点と前記第 1 ダイオードの他端と前記平滑コンデンサとの接続点との間に接続された第 5 ダイオードと、

5 をさらに有することを特徴とする請求項 1 又は請求項 2 記載の力率改善回路。

8. 前記制御手段は、前記主スイッチのターンオン時にゼロ電流スイッチさせ、前記主スイッチのターンオフ時にゼロ電圧スイッチさせることを特徴とする請求項 3 乃至請求項 7 のいずれか 1 項記載の力率改善回路。

10

9. 前記制御手段は、前記主スイッチのスイッチング周波数を前記交流電源の交流電源電圧値に応じて制御することを特徴とする請求項 1 乃至請求項 8 のいずれか 1 項記載の力率改善回路。

15 10. 前記制御手段は、

前記出力電圧と基準電圧との誤差を増幅して第 1 誤差電圧信号を生成する第 1 誤差電圧生成手段と、

この第 1 誤差電圧生成手段の第 1 誤差電圧信号と前記整流回路の整流電圧とを乗算して乗算出力電圧を生成する乗算出力電圧生成手段と、

20 前記整流回路に流れる入力電流を検出する電流検出手段と、

この電流検出手段で検出された入力電流に応じた電圧と前記乗算出力電圧生成手段の乗算出力電圧との誤差を増幅して第 2 誤差電圧信号を生成する第 2 誤差電圧生成手段と、

25 前記整流回路の整流電圧値に応じて前記主スイッチのスイッチング周波数を変化させた周波数制御信号を生成する周波数制御手段と、

前記第 2 誤差電圧生成手段の第 2 誤差電圧信号に基づきパルス幅を制御し且つ前記周波数制御手段で生成された前記周波数制御信号に応じて前記主スイッチのスイッチング周波数を変化させたパルス信号を生成し、パルス信号を前記主スイッチに印加して前記出力電圧を所定電圧に制御するパルス幅制御手段と、

30

を有することを特徴とする請求項 9 記載の力率改善回路。

1 1. 前記制御手段は、前記交流電源電圧が下限設定電圧以下の場合に前記スイッチング周波数を下限周波数に設定し、前記交流電源電圧が上限設定電圧以上の場合に前記スイッチング周波数を上限周波数に設定し、前記交流電源電圧が前記下限設定電圧から前記上限設定電圧までの範囲の場合に前記スイッチング周波数を前記下限周波数から前記上限周波数まで徐々に変化させることを特徴とする請求項 9 又は請求項 10 記載の力率改善回路。

10 1 2. 前記制御手段は、前記交流電源電圧が前記下限設定電圧未満の場合には前記主スイッチのスイッチング動作を停止させることを特徴とする請求項 1 1 記載の力率改善回路。

15 1 3. 前記整流回路と前記平滑コンデンサとの間に接続され、前記交流電源がオンされたときに前記平滑コンデンサの突入電流を軽減する突入電流制限抵抗を有し、

前記主スイッチは、ノーマリオンタイプのスイッチからなり、

前記制御手段は、前記交流電源がオンされたときに前記突入電流制限抵抗に発生した電圧により前記主スイッチをオフさせ、前記平滑コンデンサが充電された後、前記主スイッチをオン／オフさせるスイッチング動作を開始させることを特徴とする請求項 1 乃至請求項 1 2 のいずれか 1 項記載の力率改善回路。

25 1 4. 前記昇圧リアクトルは、補助巻線をさらに備え、該補助巻線に発生する電圧を前記制御手段に供給する通常動作電源部を有することを特徴とする請求項 1 3 記載の力率改善回路。

1 5. 前記突入電流制限抵抗に並列に接続された半導体スイッチを有し、

前記制御手段は、前記主スイッチのスイッチング動作を開始させた後、前記半導体スイッチをオンさせることを特徴とする請求項 1 3 又は請求項 1 4 記載の力率改善回路。

- 5 16. 前記昇圧リアクトルの巻き上げ線と前記第 1 ダイオードとの接続点と前記平滑コンデンサとの間に接続された第 1 コンデンサと第 6 ダイオードとからなる第 5 直列回路と、

前記第 1 コンデンサと前記第 6 ダイオードとの接続点と前記平滑コンデンサとの間に接続された第 7 ダイオードと、

- 10 をさらに有することを特徴とする請求項 1 記載の力率改善回路。

17. 前記ゼロ電流スイッチリアクトルと前記第 1 ダイオードとの接続点と前記平滑コンデンサとの間に接続された第 1 コンデンサと第 6 ダイオードとからなる第 5 直列回路と、

- 15 前記第 1 コンデンサと前記第 6 ダイオードとの接続点と前記平滑コンデンサとの間に接続された第 7 ダイオードと、

をさらに有することを特徴とする請求項 2 記載の力率改善回路。

- 20 18. 前記昇圧リアクトルは、磁気回路が形成された第 1 脚乃至第 3 脚からなるコアを有し、前記第 1 脚に前記昇圧巻線が巻回され、前記第 2 脚に前記巻き上げ巻線が巻回され、前記第 3 脚はパスコアとして用いられることを特徴とする請求項 1 又は請求項 2 記載の力率改善回路。

- 25 19. 前記昇圧リアクトルは、磁気回路が形成された第 1 脚乃至第 3 脚からなるコアを有し、前記第 1 脚に前記昇圧巻線が巻回され、前記第 2 脚に前記巻き上げ巻線が巻回され、前記第 3 脚に前記回生巻線が巻回されてなることを特徴とする請求項 3 記載の力率改善回路。

- 30 20. 前記コアの各々の脚は、同一厚みのギャップを有することを特徴とする請求項 1 8 又は請求項 1 9 記載の力率改善回路。

21. 前記コアに形成された各ギャップには、各巻線に流れる電流に応じて透磁率が変化する磁性体が設けられることを特徴とする請求項20記載の力率改善回路。

5

22. 前記コアに形成された各ギャップには、各巻線に流れる電流に応じて透磁率が変化する磁性体とエアーギャップとが設けられることを特徴とする請求項20記載の力率改善回路。

10

FIG. 1

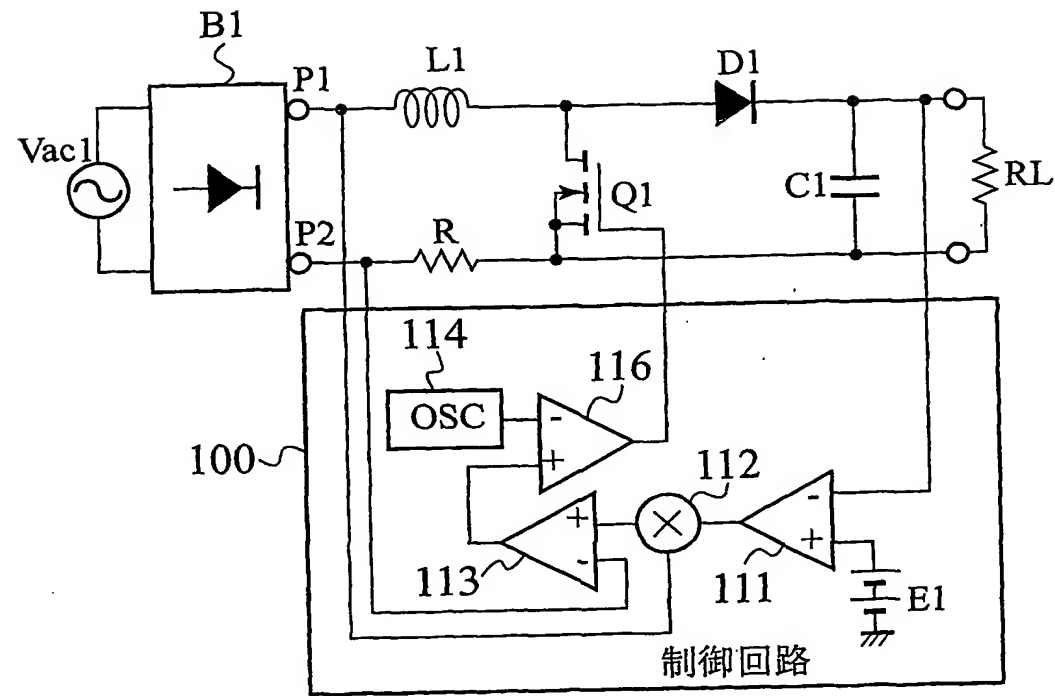


FIG. 2

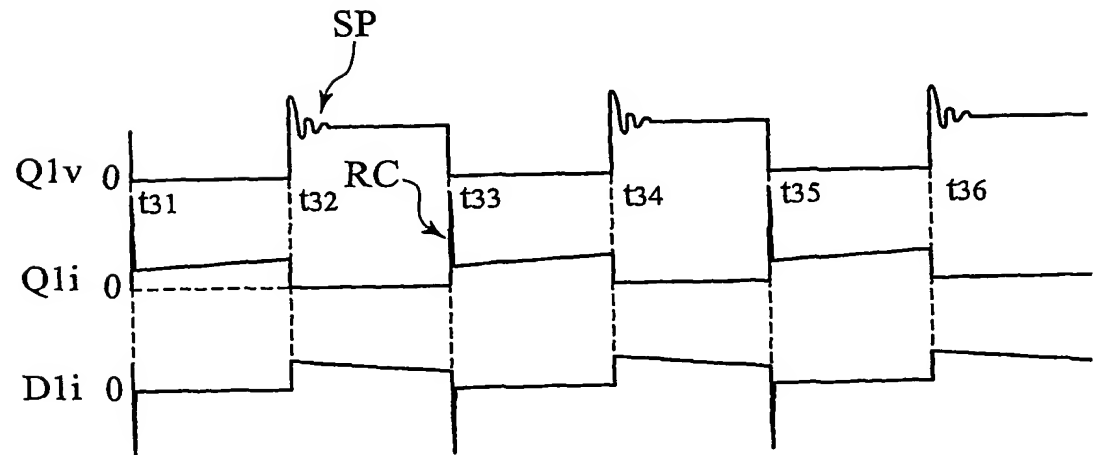
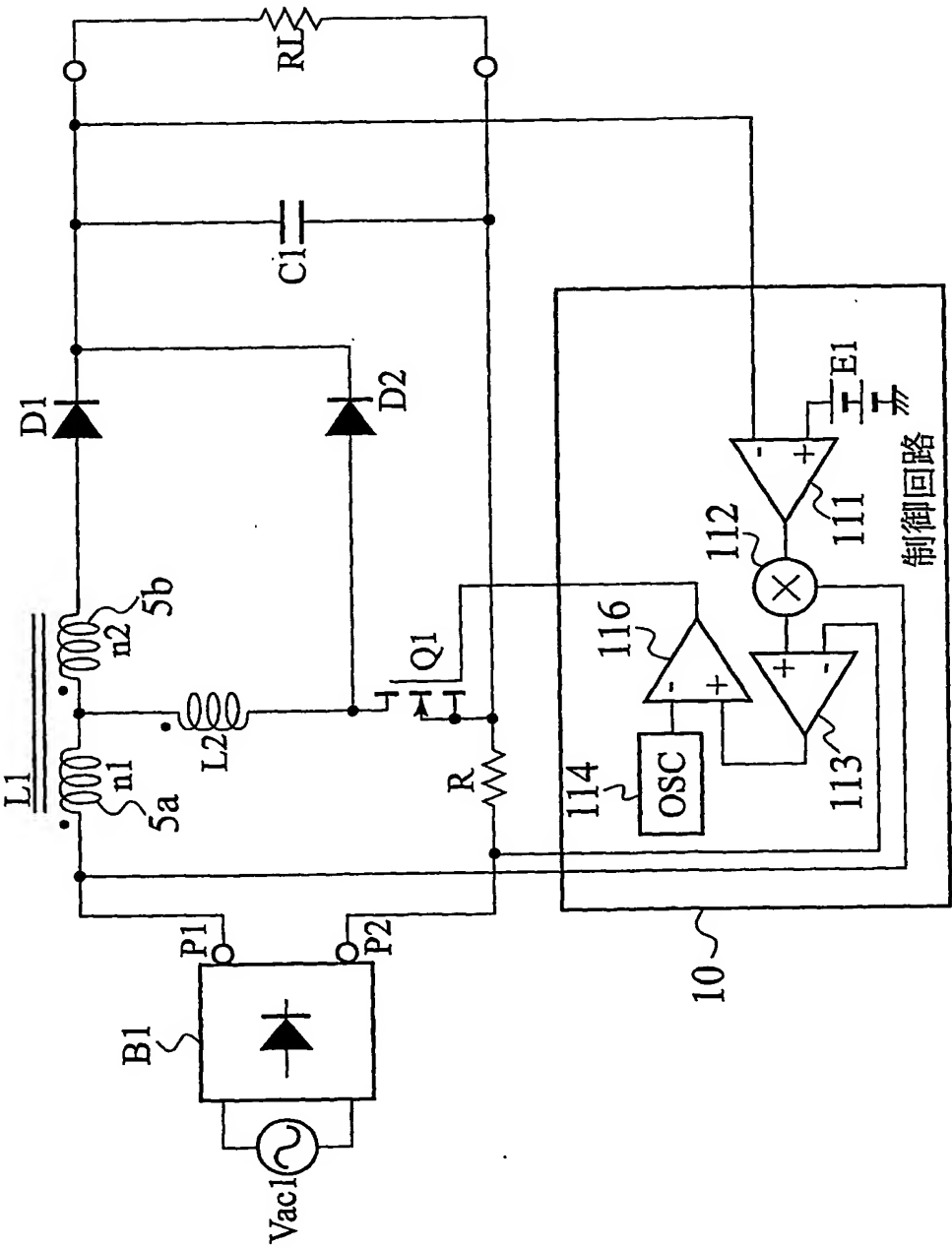


FIG. 3



3/27

FIG. 4

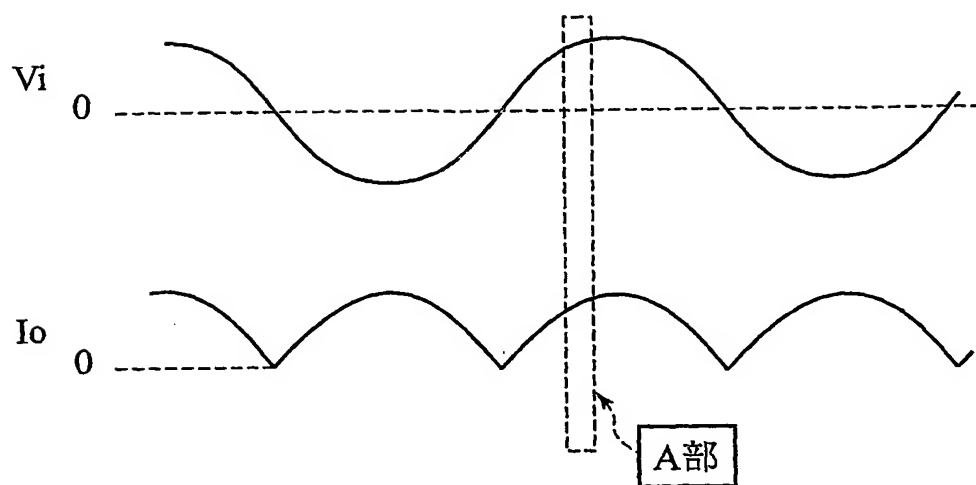
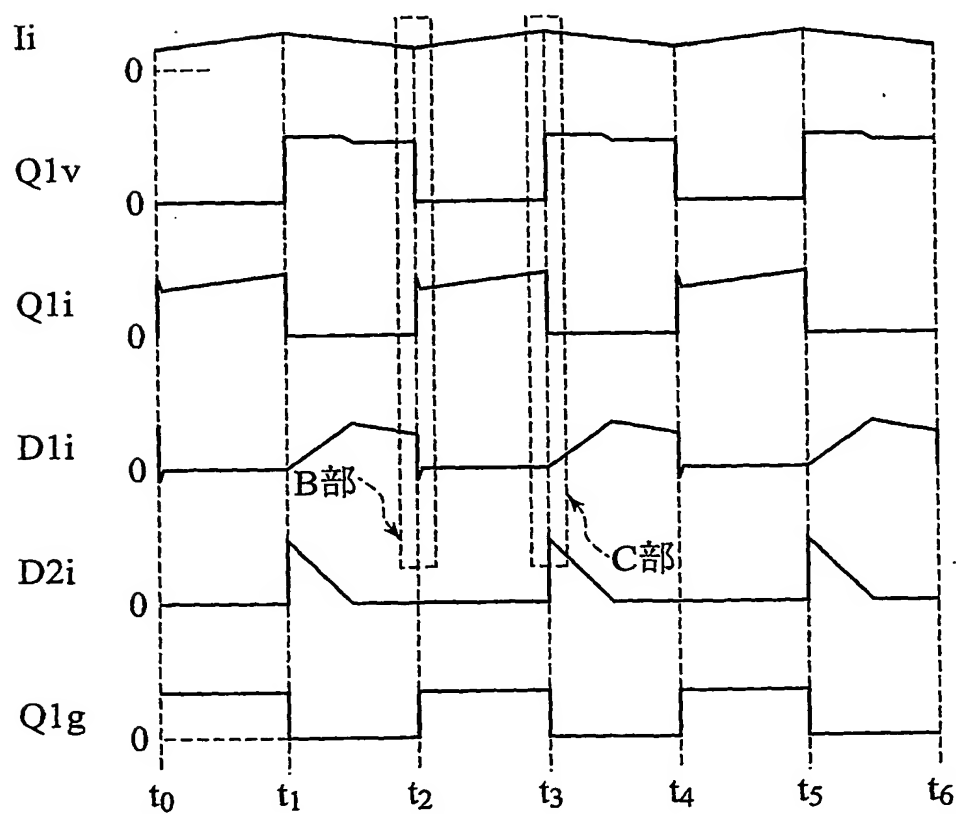


FIG. 5



4/27

FIG. 6

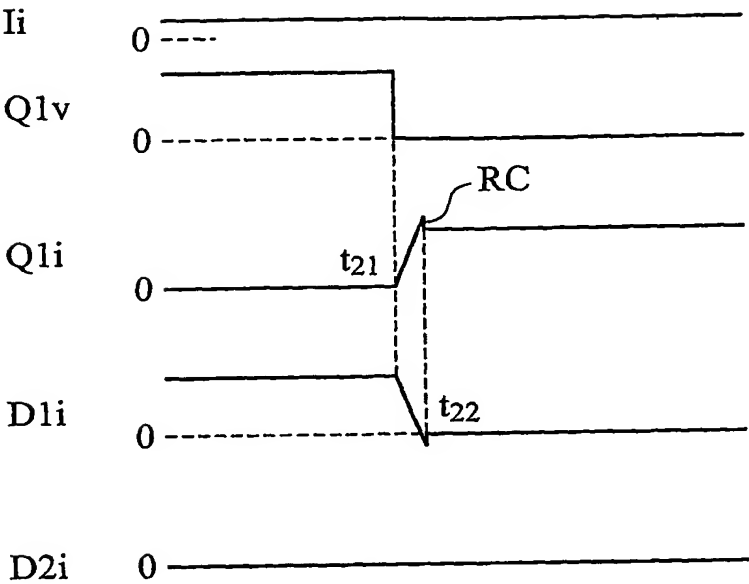


FIG. 7

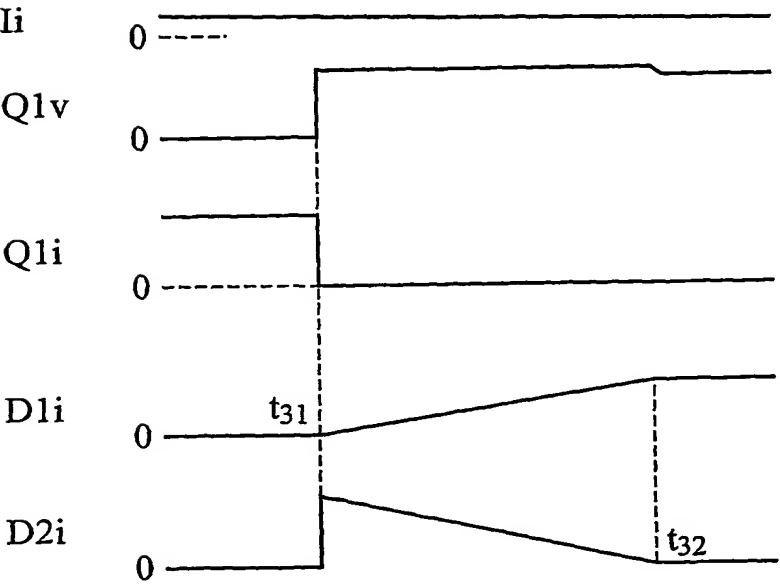
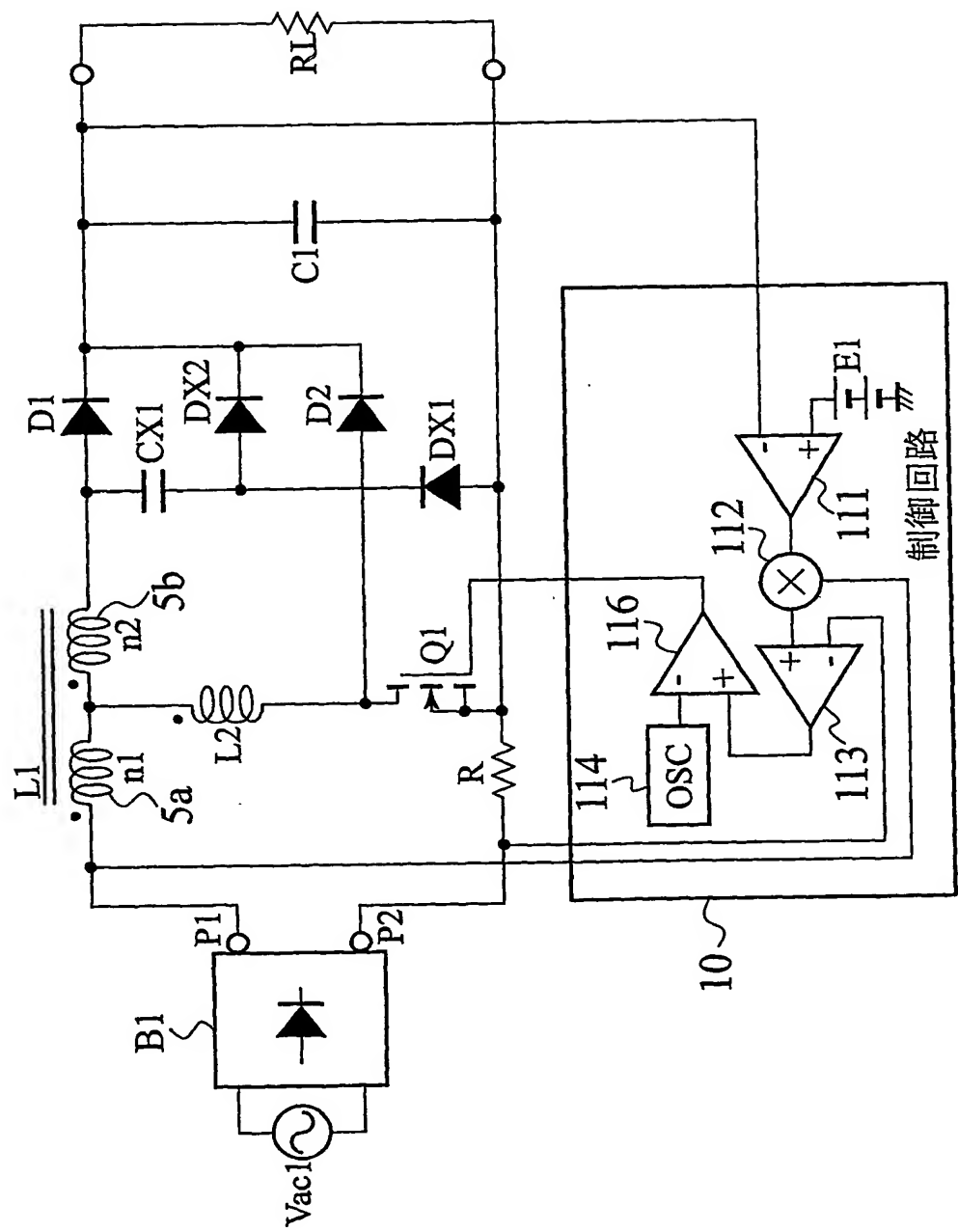


FIG. 8



6/27

FIG. 9

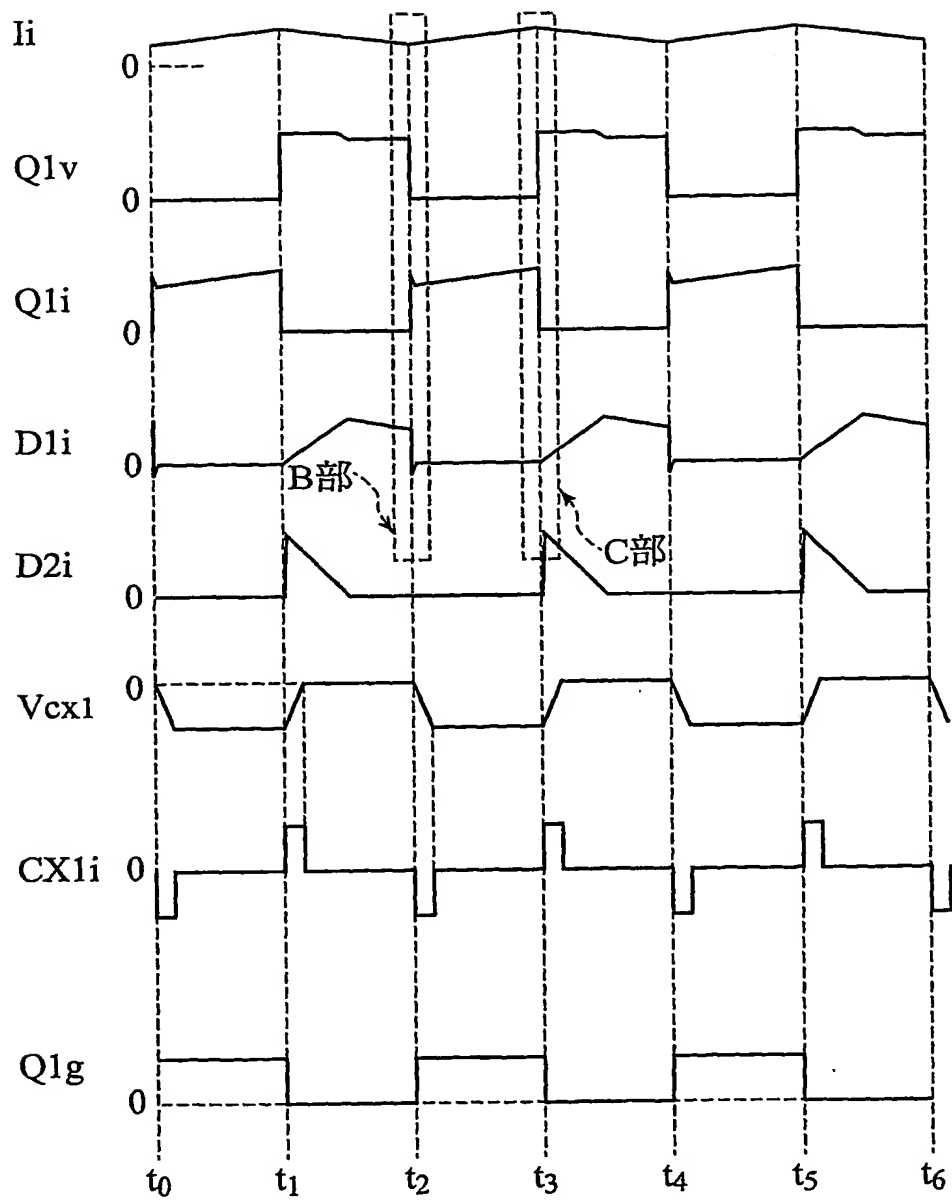
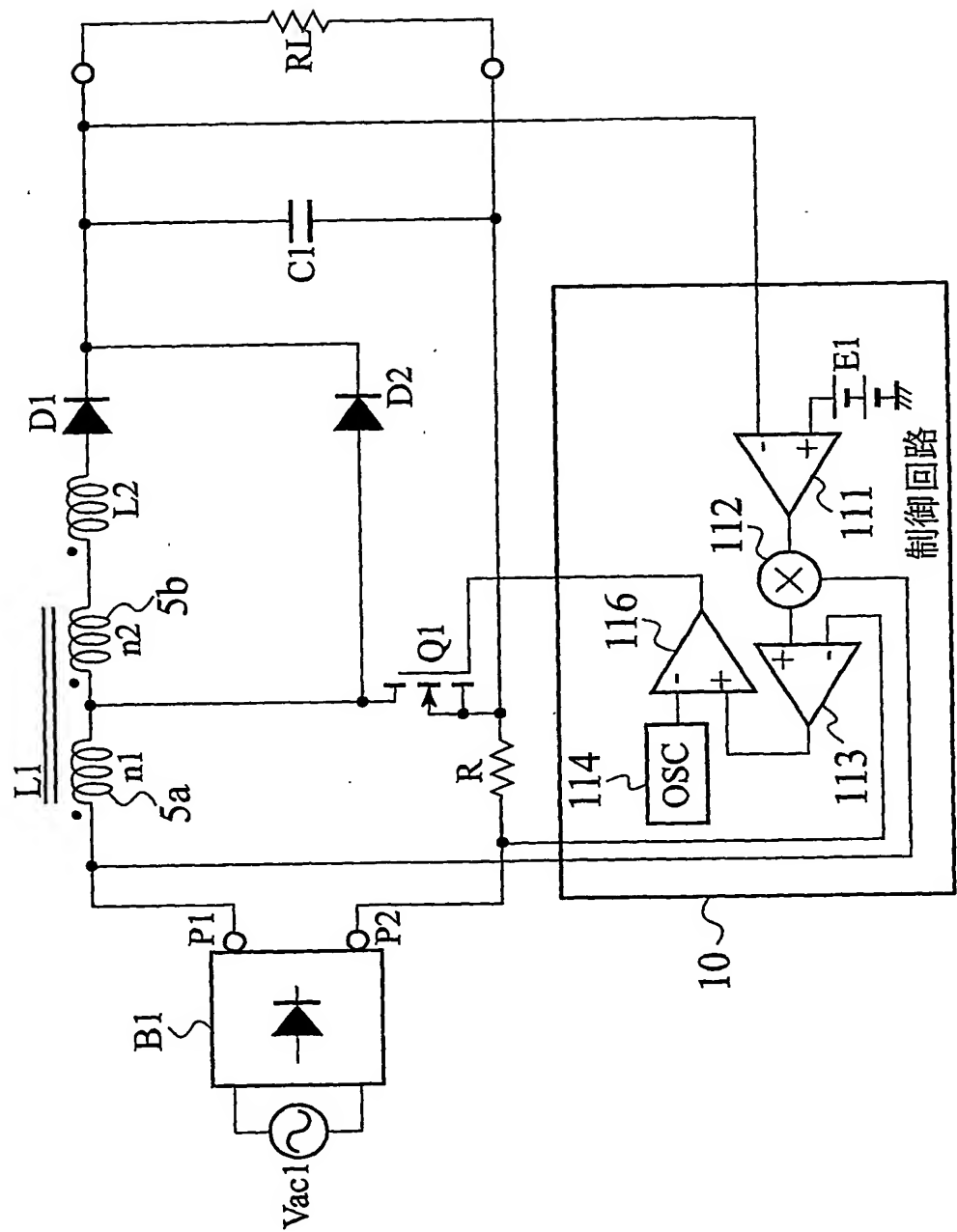
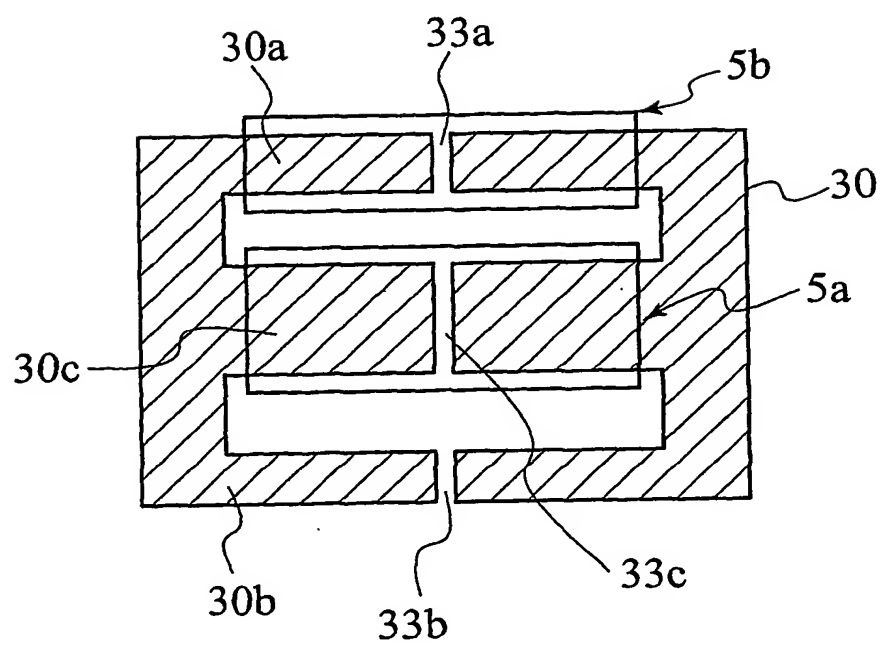


FIG. 10



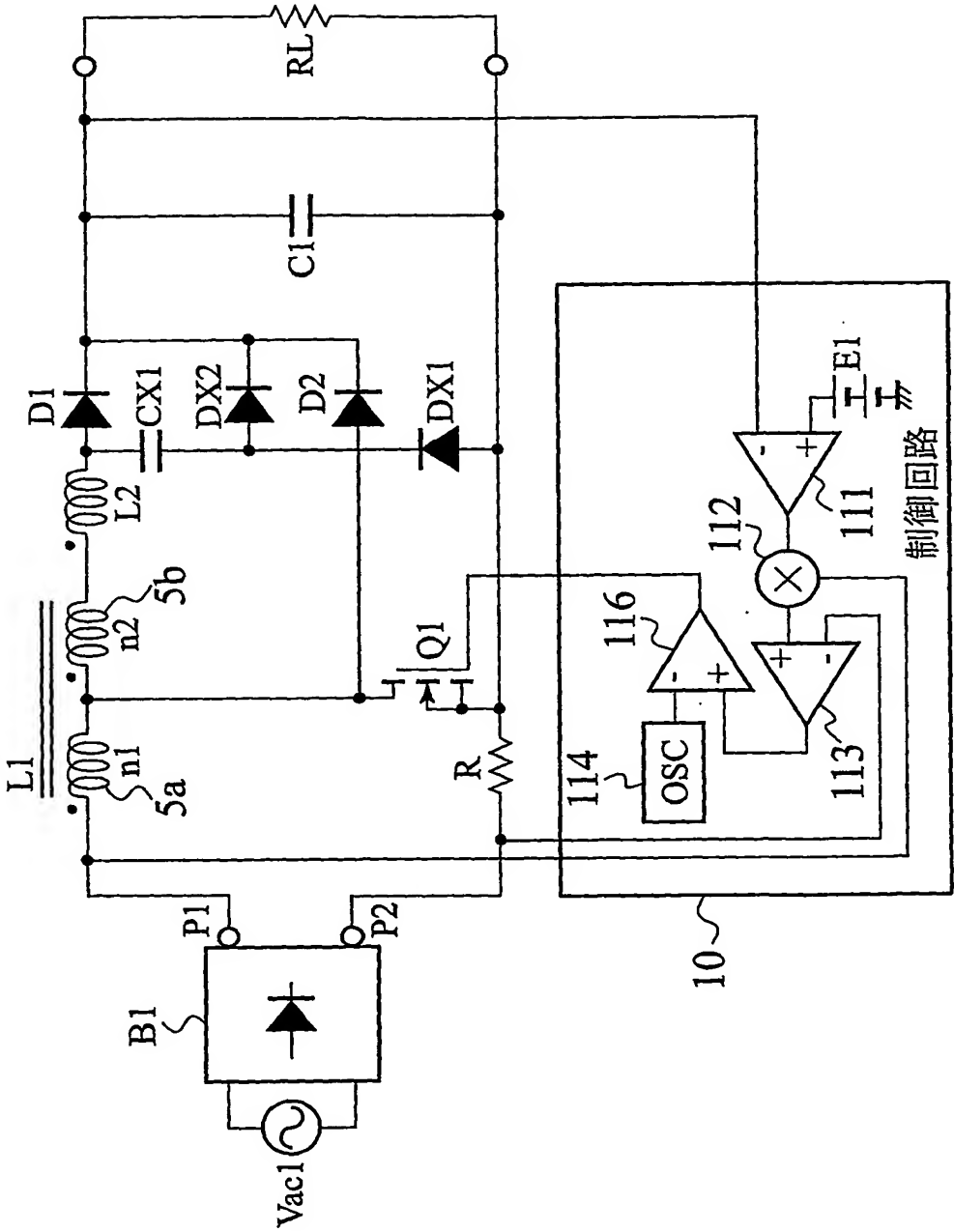
8/27

FIG. 11



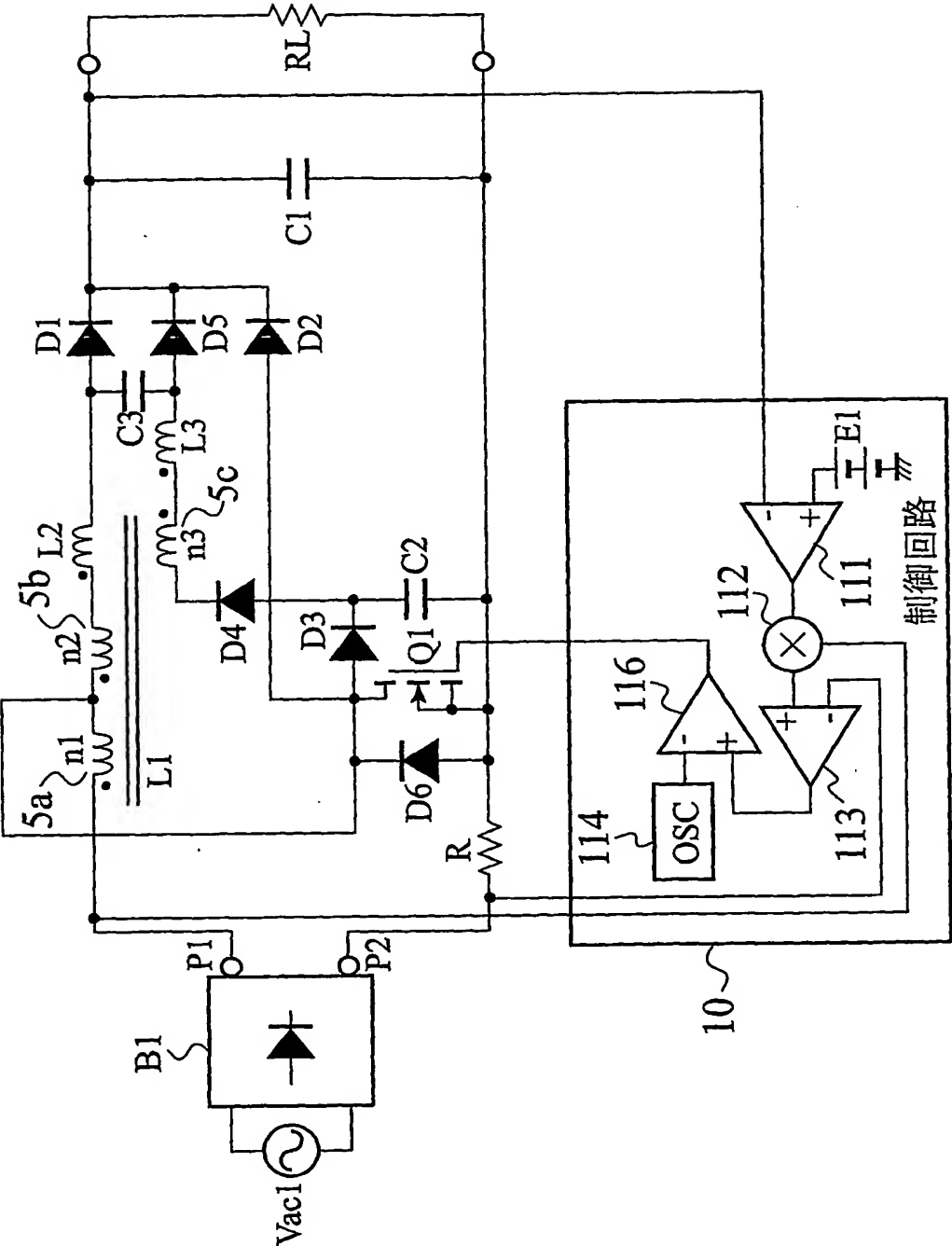
9/27

FIG. 12



10/27

FIG. 13



11/27

FIG. 14A

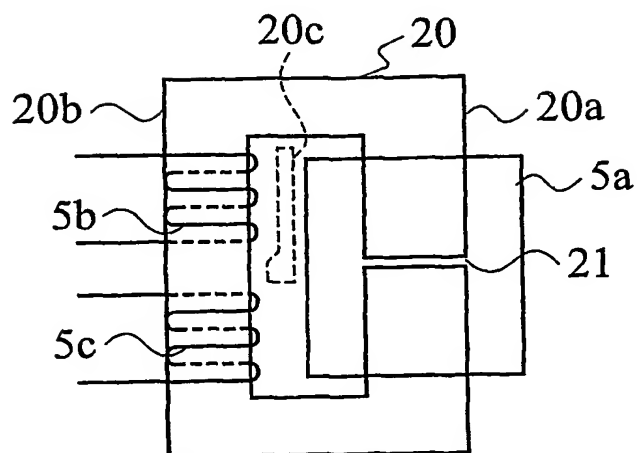
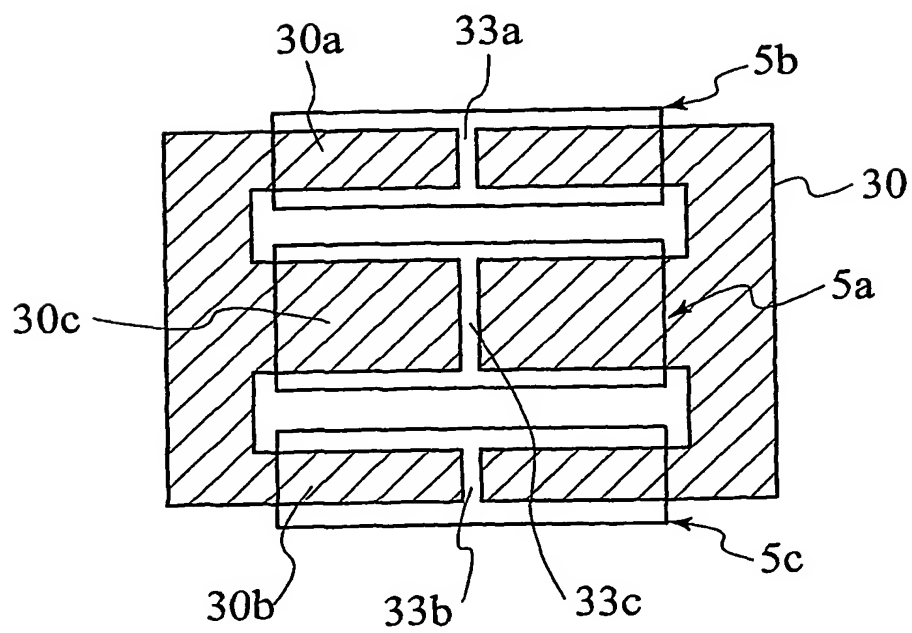
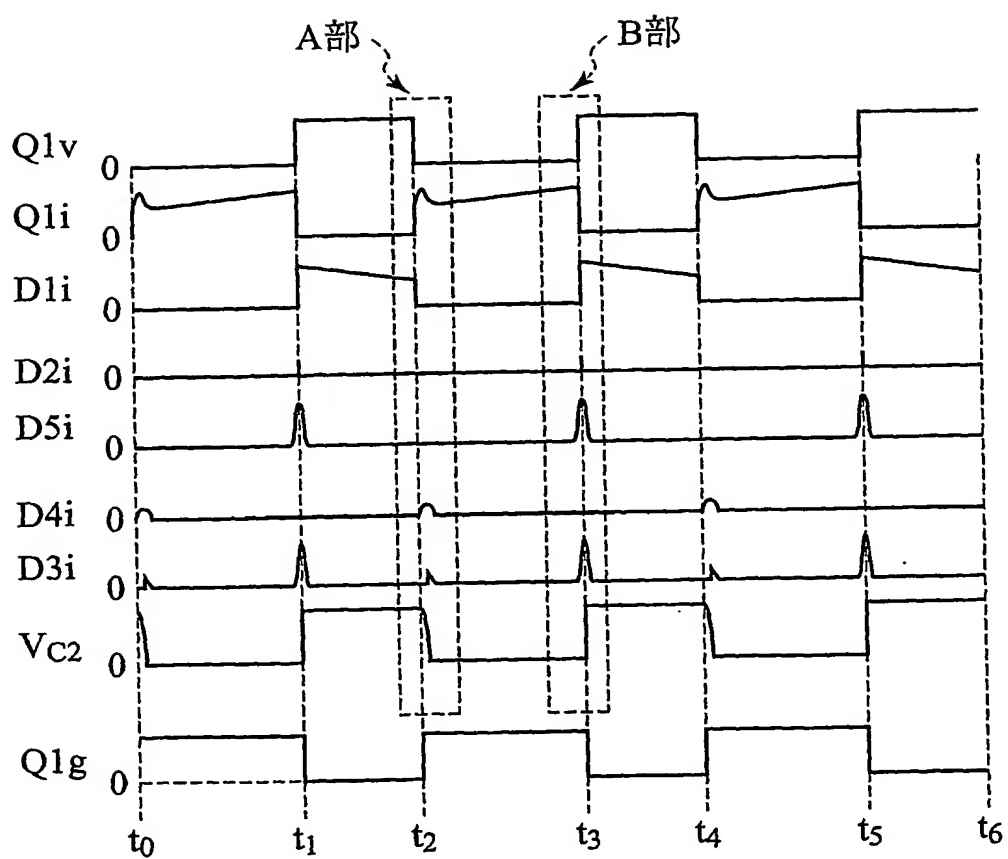


FIG. 14B



12/27

FIG. 15



13/27

FIG. 16

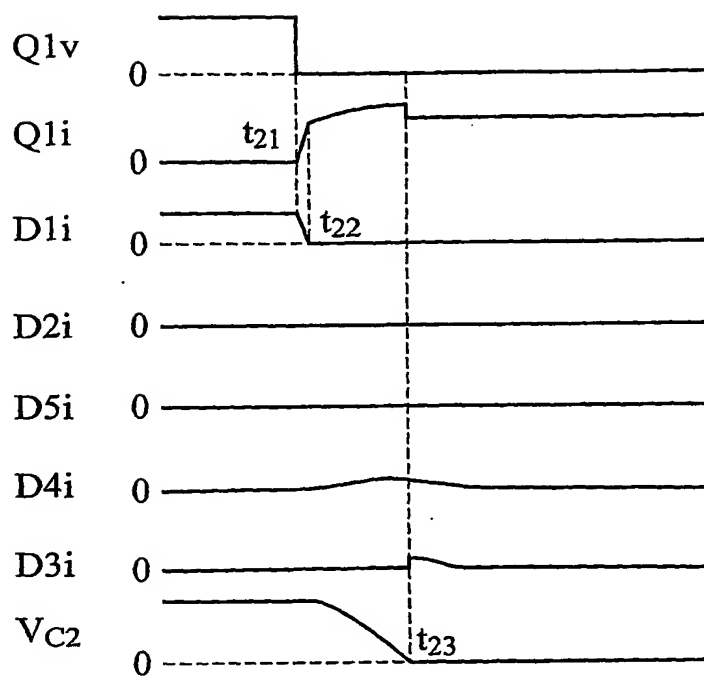
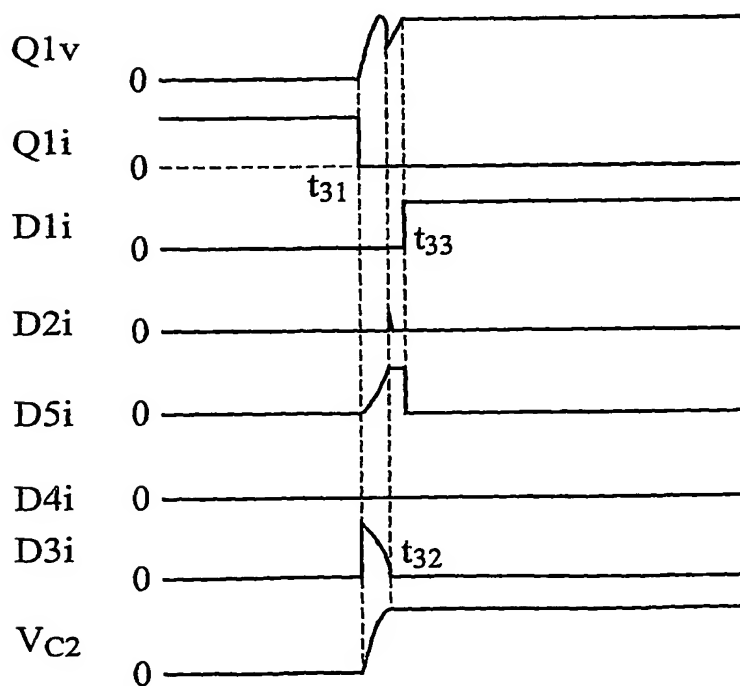


FIG. 17



14/27

FIG. 18

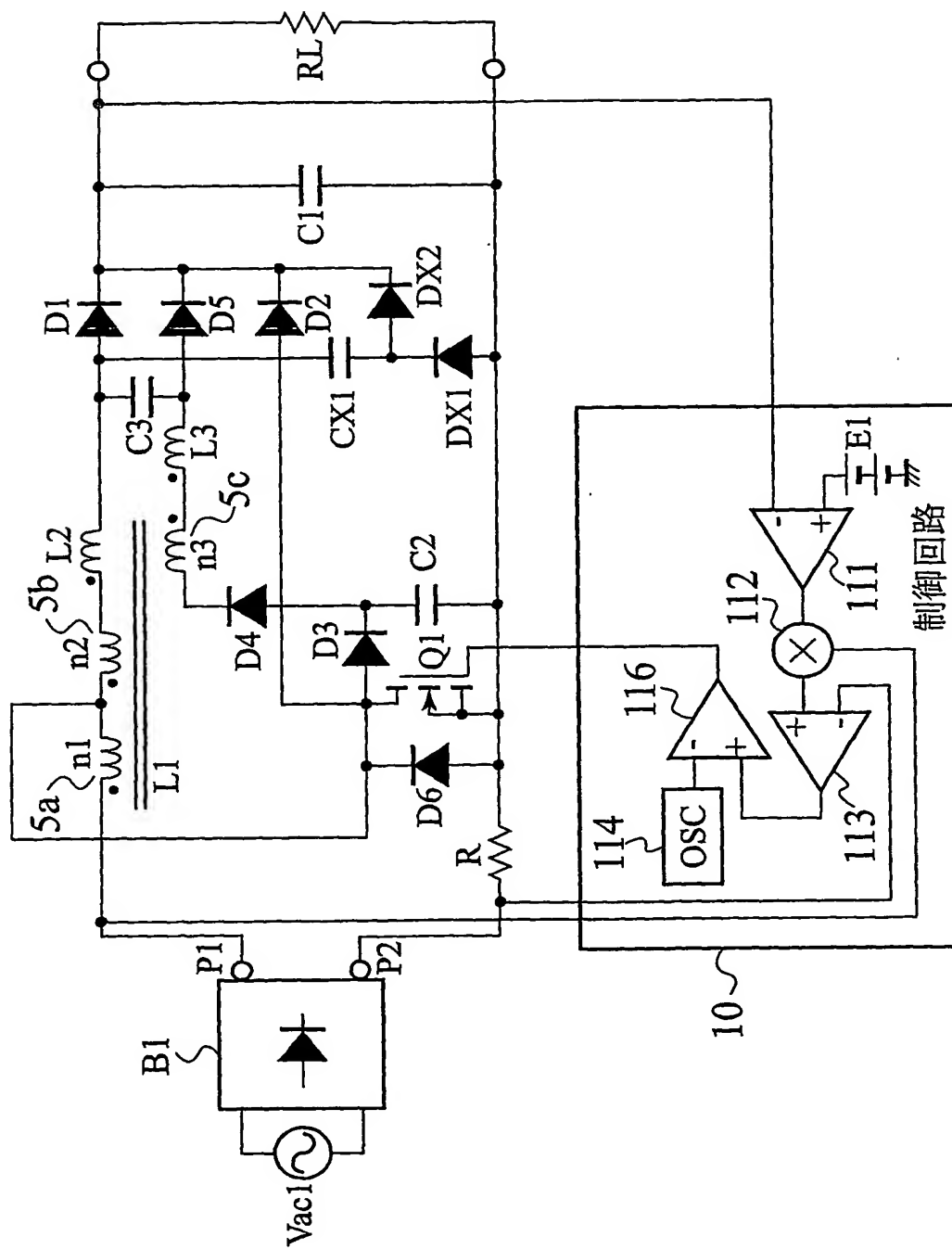
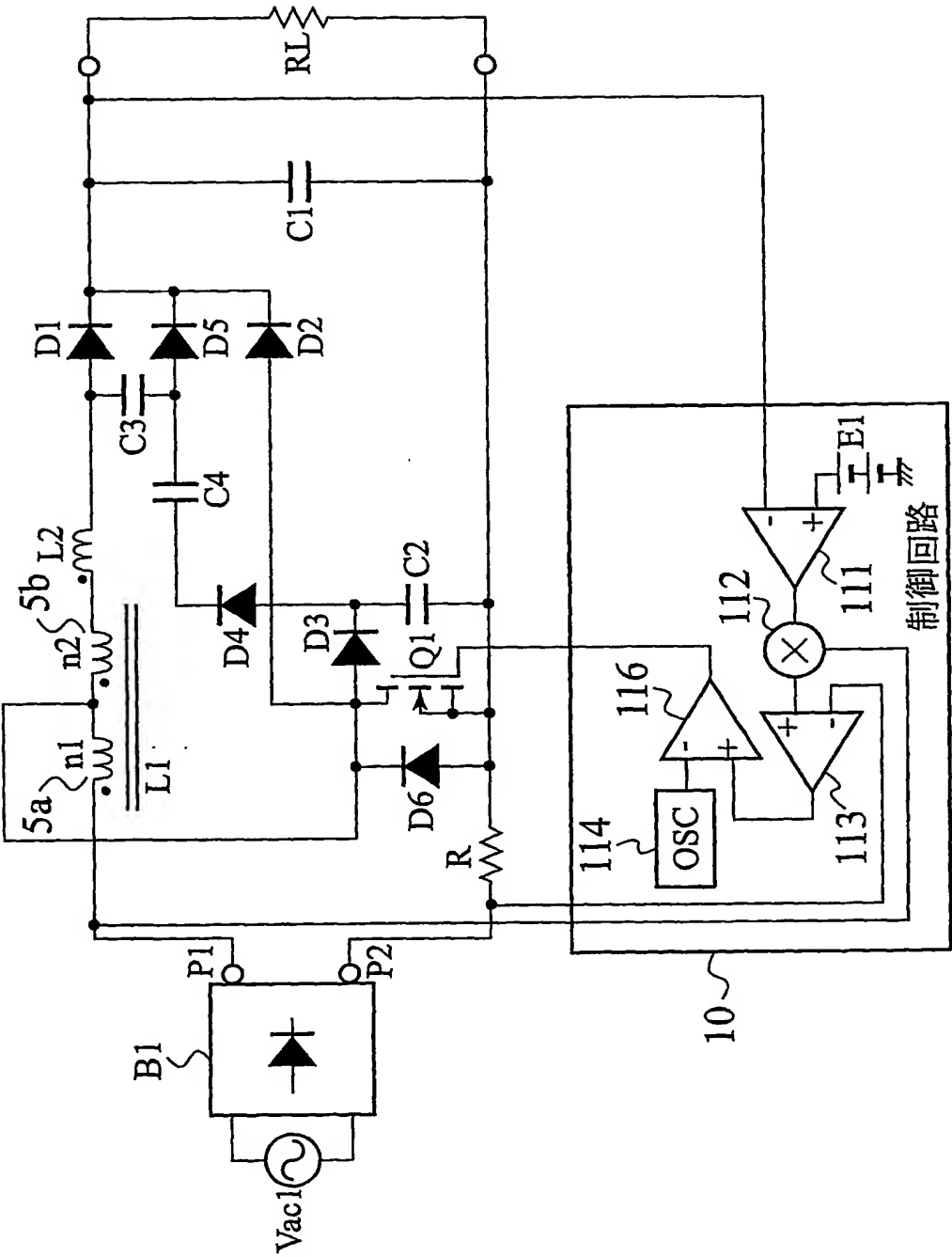


FIG. 19



17/27

FIG. 21

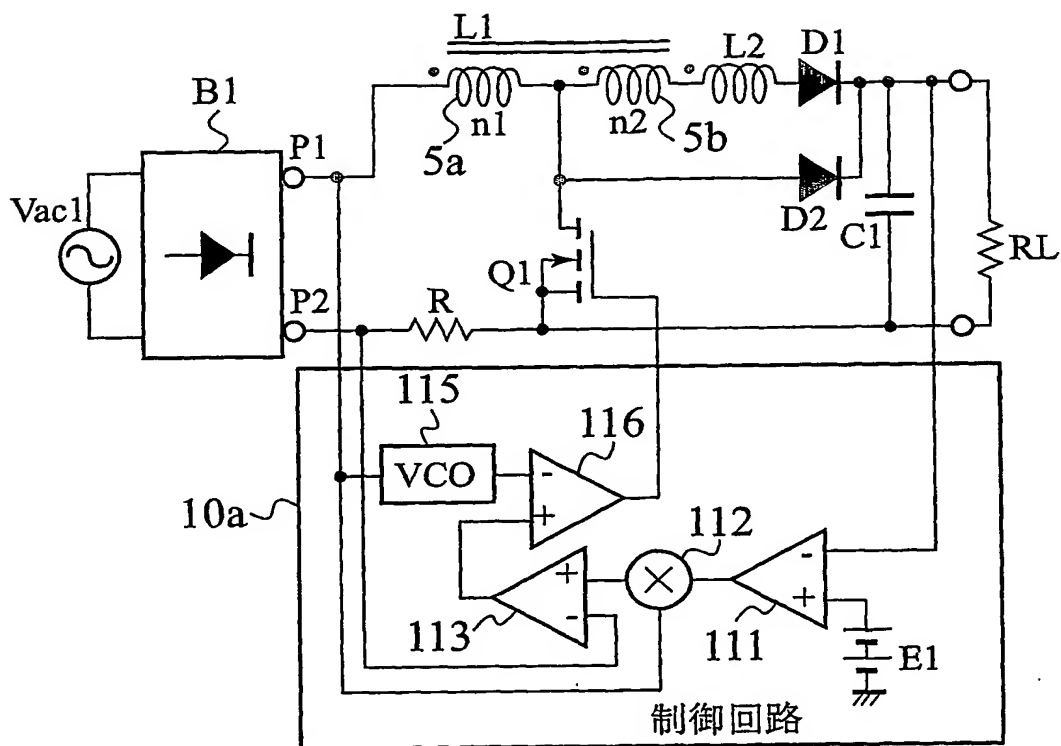
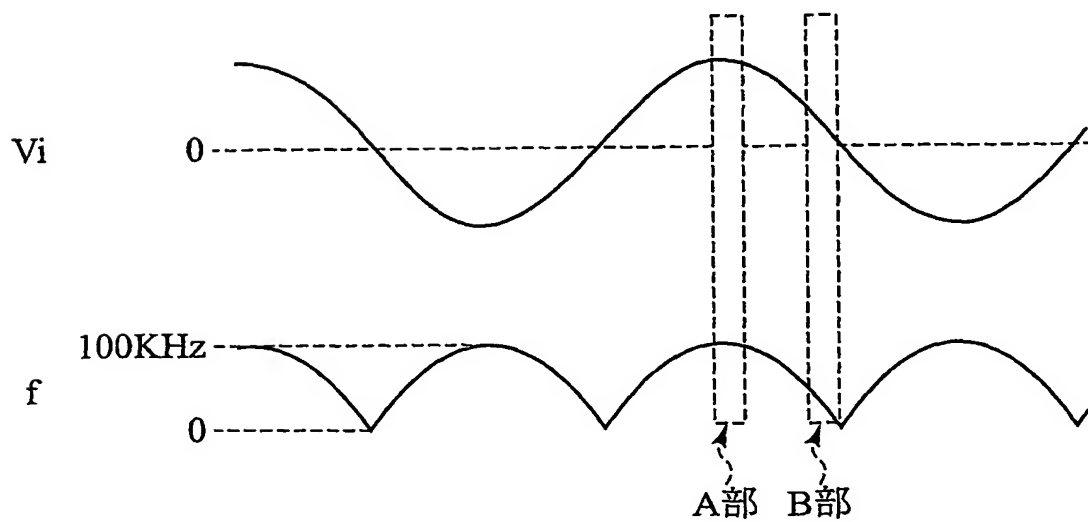


FIG. 22



18/27

FIG. 23

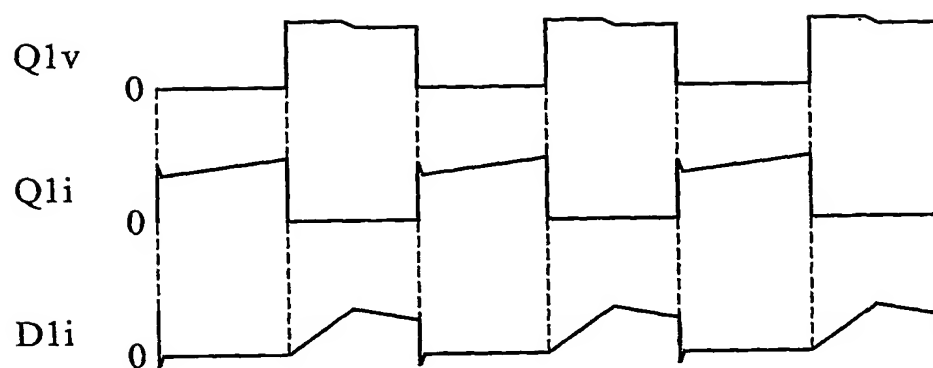
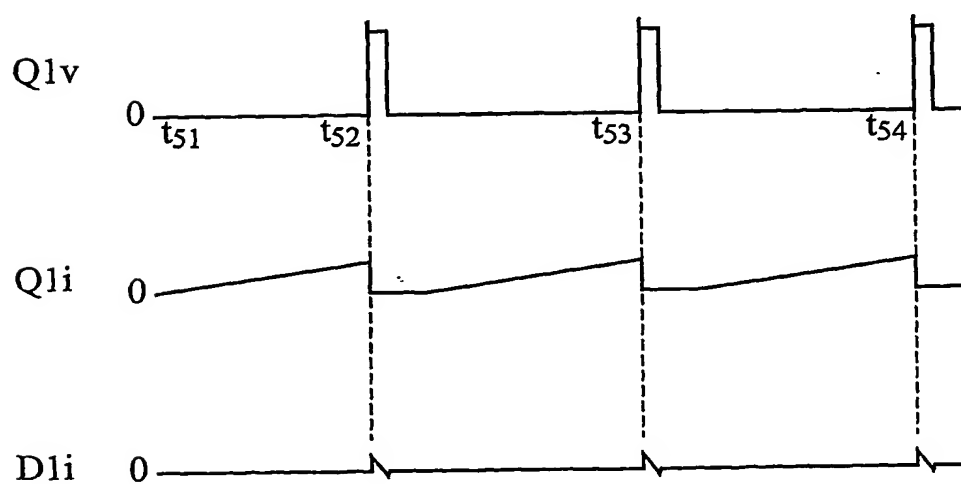


FIG. 24



19/27

FIG. 25

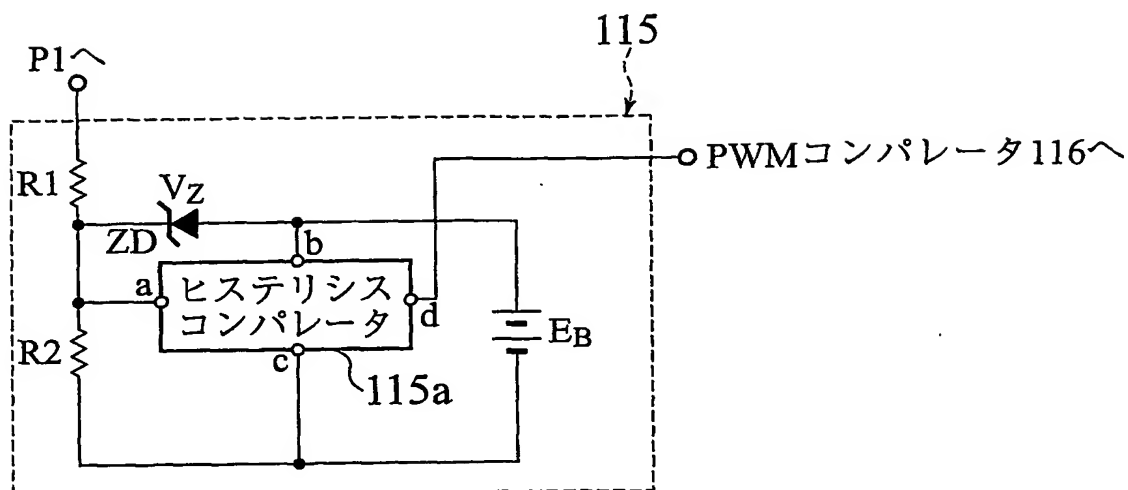


FIG. 26

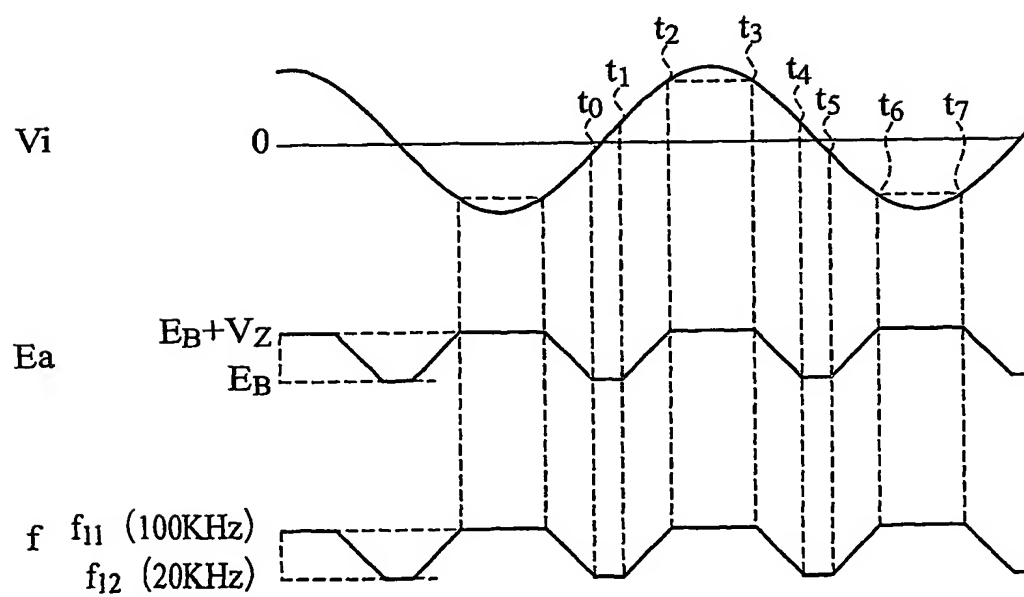


FIG. 27

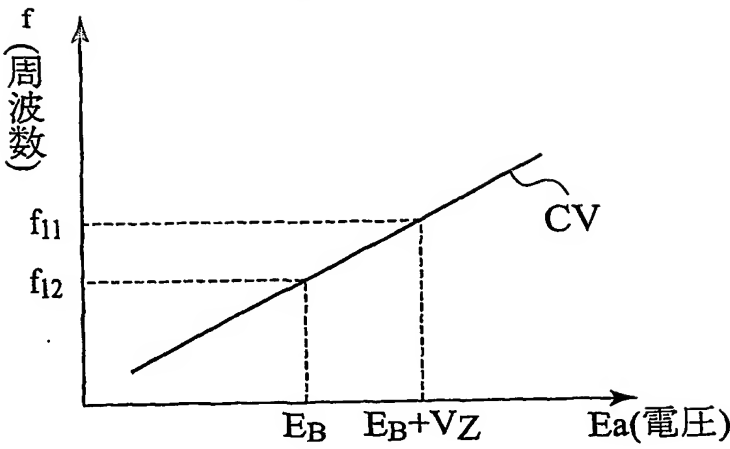
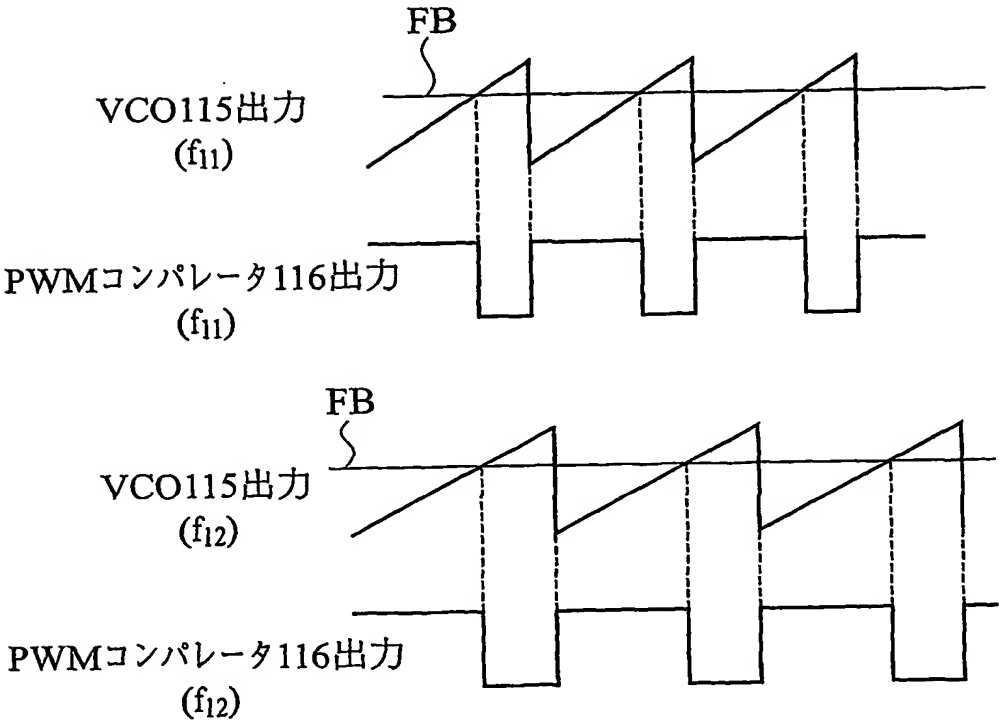


FIG. 28



21/27

FIG. 29

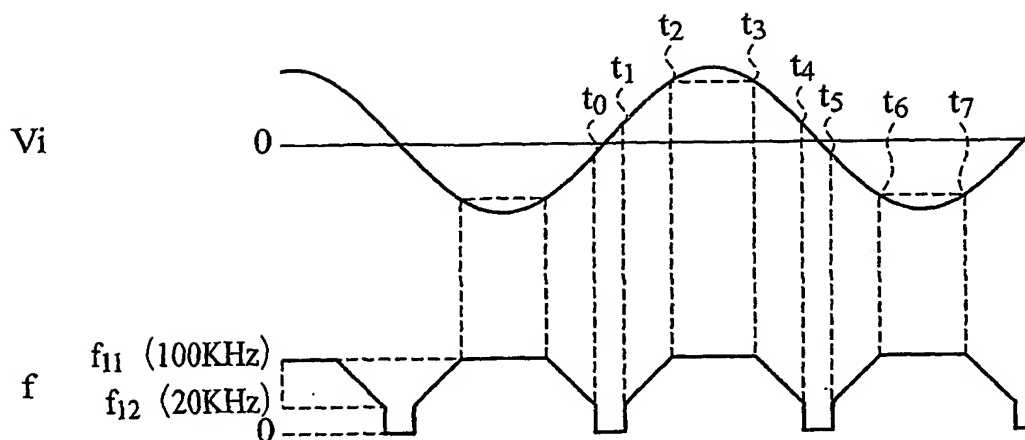


FIG. 30

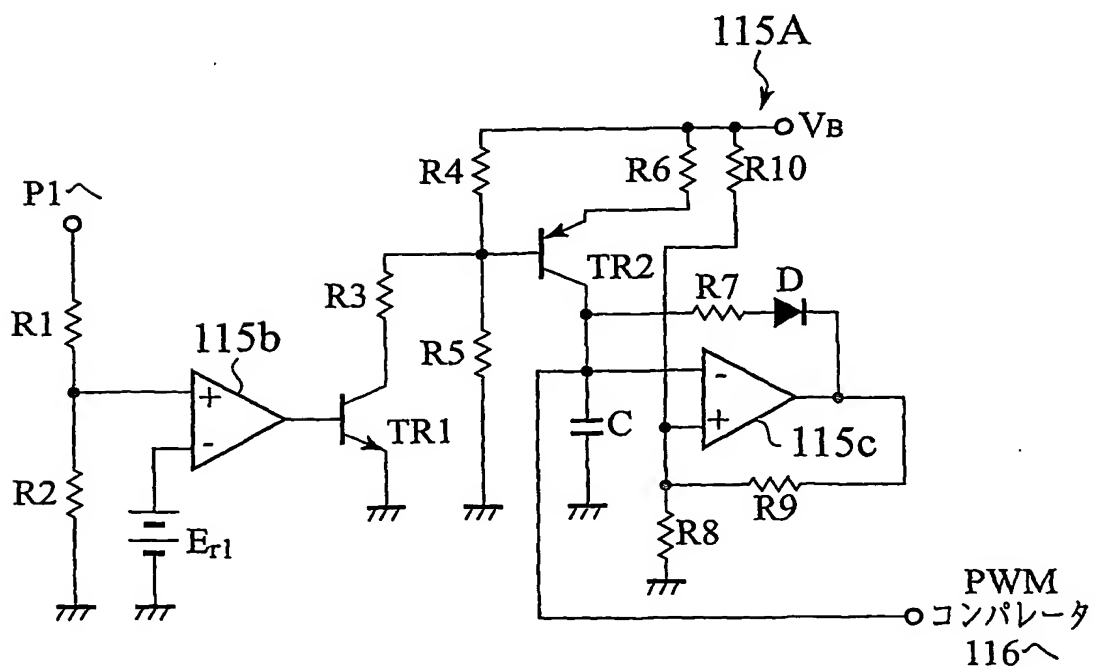
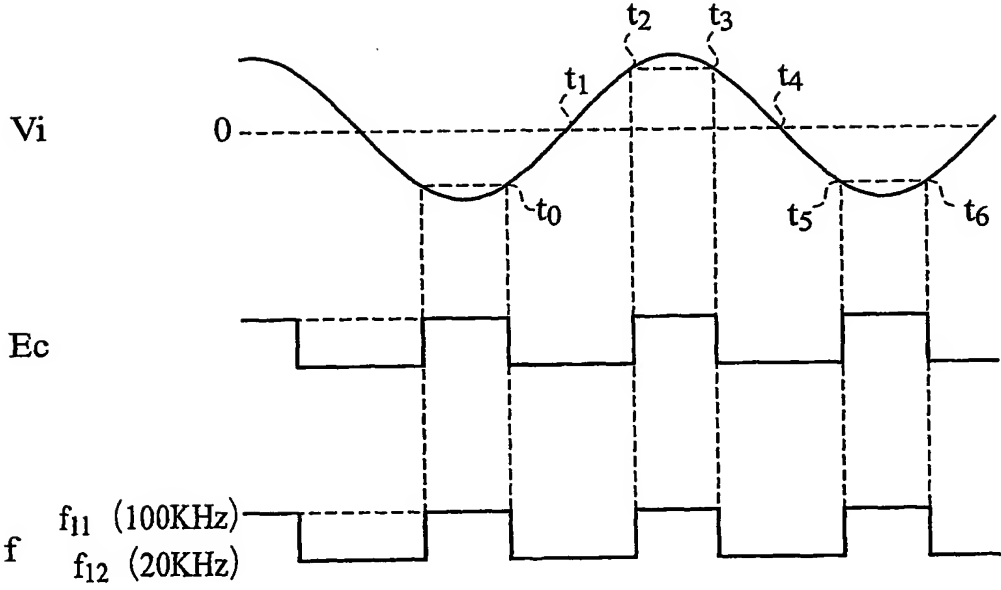


FIG. 31



23/27

FIG. 32

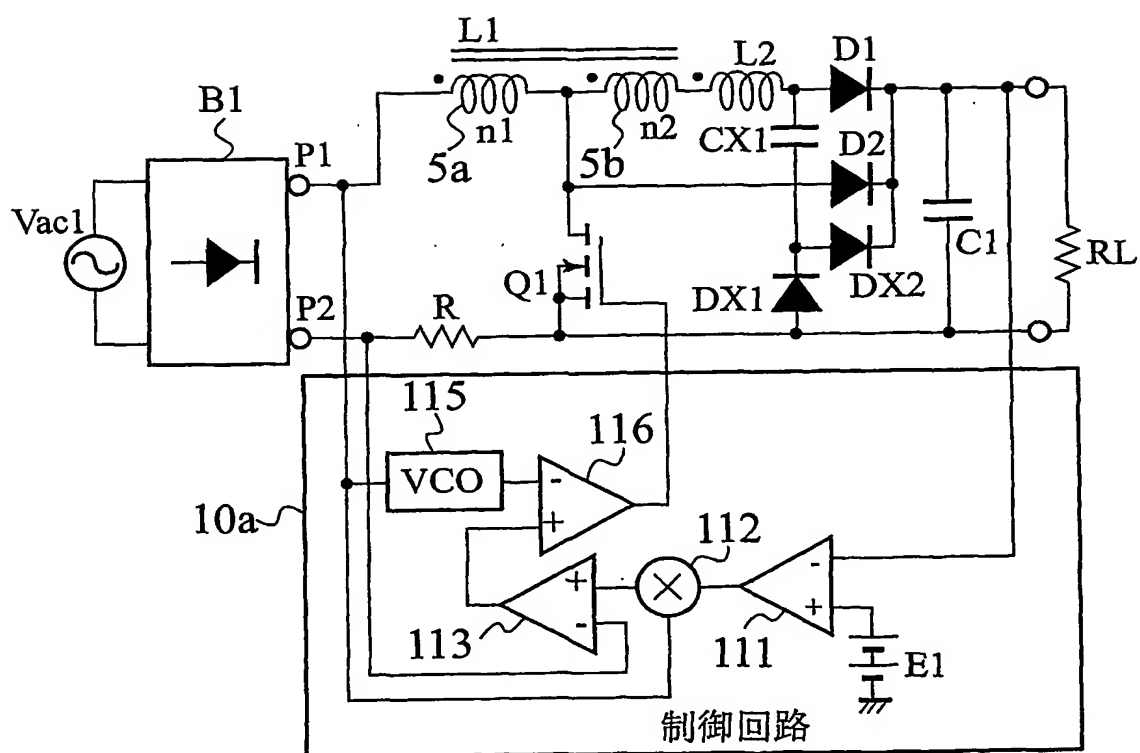


FIG. 33

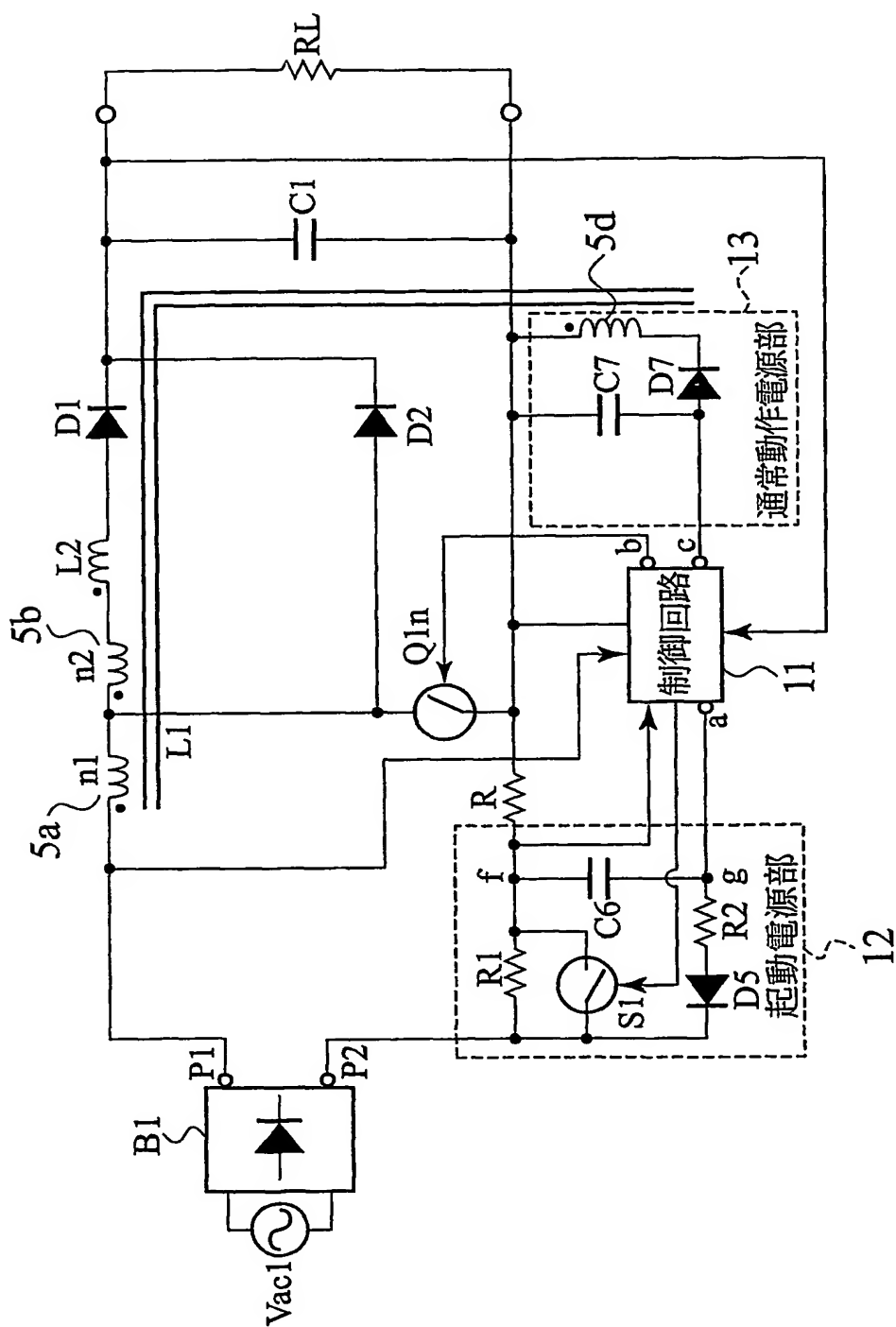


FIG. 34

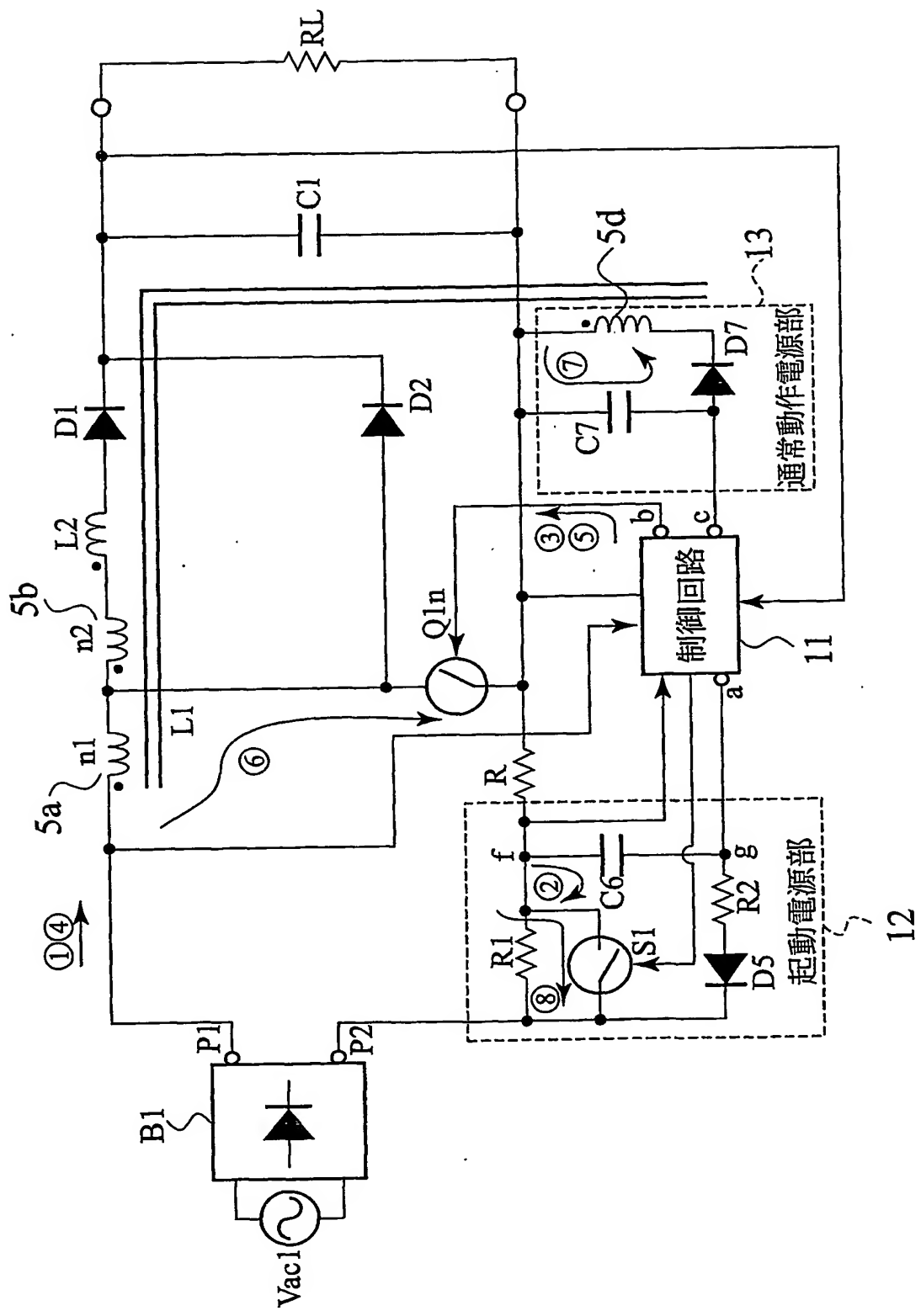


FIG. 35

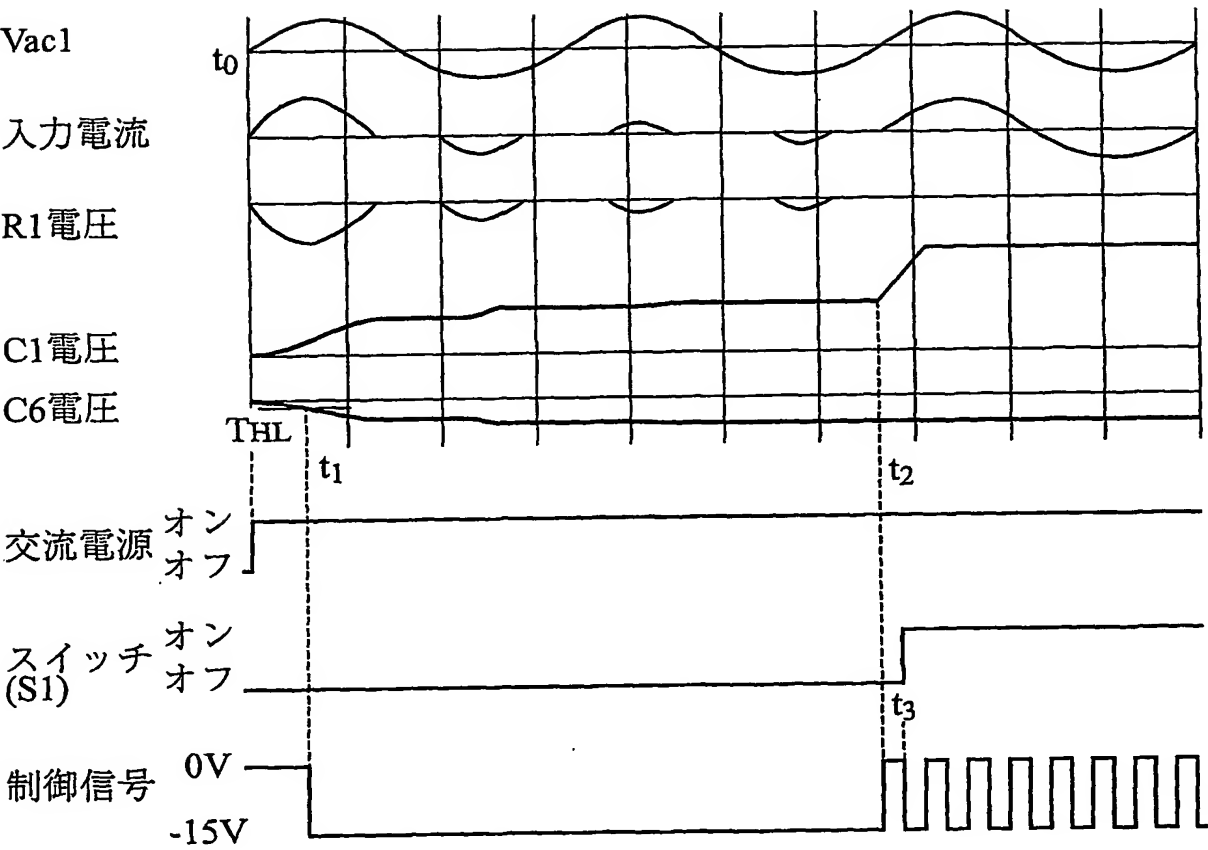
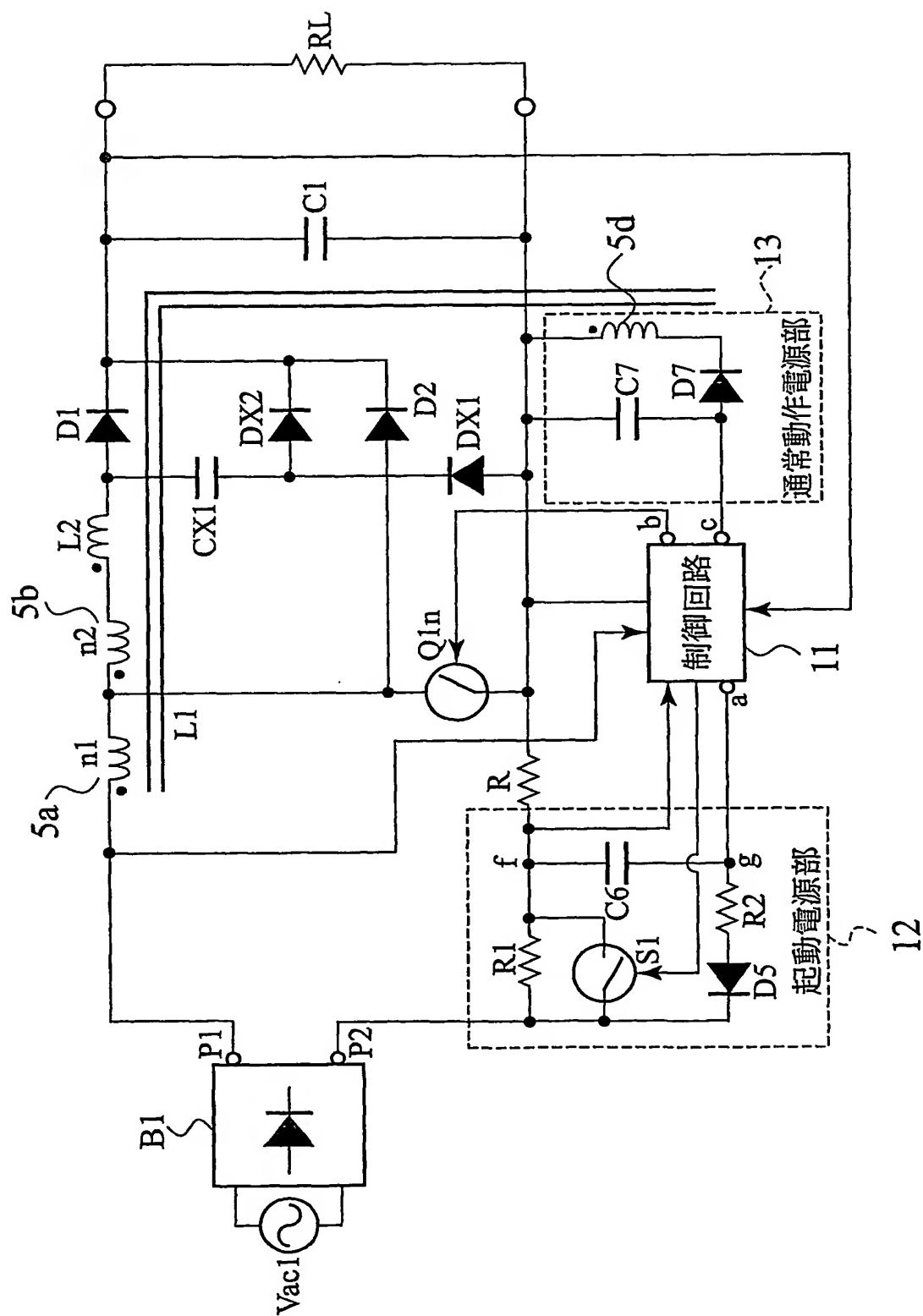


FIG. 36



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004515

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44, 7/00-7/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 00/03473 A2 (BEN-YAAKOV, Shmuel), 20 January, 2000 (20.01.00), Page 15, lines 12 to 19; page 16, line 13 to page 17, line 12; Figs. 12, 16 & EP 1097505 B1 & US 2001/24374 A1 & JP 2002-520991 A & DE 69904480 T & AT 229706 T & IL 125328 D	2, 4, 8, 9 1, 3, 5-7, 10-22
A	JP 2000-37072 A (Toshiba Corp., Toshiba A.V.E. Kabushiki Kaisha), 02 February, 2000 (02.02.00), Full text; Figs. 1 to 5 (Family: none)	1-22

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 June, 2004 (17.06.04)Date of mailing of the international search report
06 July, 2004 (06.07.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004515

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0351144 A1 (ASTEC INTERNATIONAL LTD.), 17 January, 1990 (17.01.90), Page 3, lines 25 to 43; Fig. 3 & US 4977493 A & GB 8816774 A & DE 68904488 D & AT 84925 T	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/155

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44
7/00-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	WO 00/03473 A2 (BEN-YAAKOV, Shmuel) 20. 01. 2000, 第15頁第12行-第19行, 第16頁第13行-第17頁第12行, 図12, 16 & EP 1097505 B1 & US 2001/24374 A1 & JP 2002-520991 A & DE 69904480 T & AT 229706 T & IL 125328 D	2, 4, 8, 9 1, 3, 5-7, 10-22

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

17. 06. 2004

国際調査報告の発送日

06. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-37072 A (株式会社東芝, 東芝エー・プイ・イー株式会社) 02. 02. 2000, 全文, 図1-5 (ファミリーなし)	1-22
A	EP 0351144 A1 (ASTEC INTERNATIONAL LIMITED) 17. 01. 1990, 第3頁第25行-第43行, 図3 & US 4977493 A & GB 8816774 A & DE 68904488 D & AT 84925 T	1-22